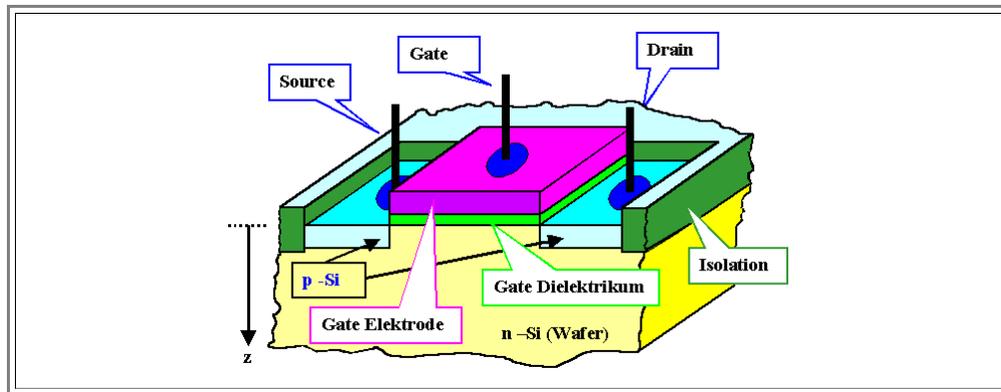


10.2.2 Der MOS-Transistor

- Der **Metall-Oxid-Semiconductor**-Transistor; allgemein als **MOS**-Transistor bekannt, ist der mit großem Abstand häufigste Transistor, deshalb wollen wir ihn hier zumindest qualitativ kurz ansprechen.
 - Von seiner prinzipiellen Funktion her ist es mit ihm fast komplementär zum bipolaren Transistor: **Leicht** qualitativ zu verstehen, aber **schwer** quantitativ in Formeln zu gießen.
- Am einfachsten ist es, sich den Aufbau eines realen **MOS**-Transistors anzuschauen, und sich daraus das Funktionsprinzip abzuleiten. Hier ist ein vereinfachter, aber korrekter Querschnitt durch einen **MOS**-Transistor einer integrierten Schaltung:



- Die drei Elektroden oder Anschlüsse, die ein Transistor haben muß, sind klar zu erkennen: Der Strom fließt von der "**Source**", also der **Quelle** zum "**Drain**", dem **Abfluß**. Gesteuert wird er durch das "**Gate**", das **Tor**. Wer aber jemals die hier gebrauchten (oder andere) deutsche Bezeichnungen verwendet, "outet" sich als Ahnungslose(r) und muß Journalist werden.
- Der Transistor funktioniert folgendermaßen:
 - Falls die Gatespannung im "**Ein**" Bereich liegt, ist auch der Transistor "ein" – Strom fließt fast verlustfrei von Source zu Drain. Anders ausgedrückt: Der Source-Drain-Widerstand ist klein.
 - Falls die Gatespannung im "**Aus**" Bereich liegt, ist auch der Transistor "aus"; es fließt kein Source-Drain-Strom. Anders ausgedrückt: Der Source- Drain-Widerstand ist sehr hoch.
- Das funktioniert aber **nur**, falls die Gatespannung die richtige Polarität hat (im obigen Beispiel muß sie **negativ** sein) und die Versorgungsspannung, d.h. die **Source-Drain-Spannung** U_{SD} nicht zu klein ist (die Polarität ist eher egal). In der Elektronikantike, so bis **1985**, hatte sie den Standardwert **5 V**, seither sinkt sie und wird bald den **1-V**-Bereich erreicht haben.
 - Außerdem muß das Gatedielektrikum **extrem dünn** sein (so um **10 nm**, heutzutage (2006) eher **2 nm**), und die Eigenschaften aller beteiligten Materialien müssen extremen Qualitätsansprüchen genügen.
- Wie funktioniert nun der "ideale" **MOS**-Transistor?
 - Dazu müssen wir uns anschauen, was bei angelegter Gatespannung im Halbleiter **unter** dem Gate passiert. So etwas ähnliches haben wir schon ansatzweise behandelt; es lohnt sich, im betreffenden [Modul](#) schnell nachzuschauen.
- Zunächst überlegen wir uns, was passiert, falls wir zwar eine Source-Drain-Spannung U_{SD} anlegen, aber **keine** Gatespannung; $U_G = 0 \text{ V}$. Was wir dann haben ist:
 - Ein **n**-Typ **Si** Substrat mit einer bestimmten Gleichgewichtsdichte an Majoritätselektronen $n^e (U_G = 0)$ – überall, auch unter dem Gate; und ein paar wenigen Löchern als Minoritäten.
 - Zwei **p**-dotierte Gebiete mit einer bestimmten Gleichgewichtsdichte an Löchern, die durch die Größe der Dotierung bestimmt ist.
 - Zwei **pn**-Kontakte. Einer ist in Durchlaßrichtung polarisiert (der mit dem positiven U_{SD} Anschluß), der andere in Sperrichtung. Dies gilt für **jede** Source-Drain-Polarität – **ein pn**-Übergang ist **immer** gesperrt.
 - Damit kann **kein** Source-Drain-Strom I_{SD} fließen (von Leckströmen einmal abgesehen).
 - Auch bei der in Durchlaßrichtung gepolten Diode fließt **kein** Strom – denn das Substrat ist elektrisch nicht beschaltet. Noch einfacher: Wir erden den positiven U_{SD} Anschluß **und** das Substrat.
- Alles in allem haben wir für $U_G = 0 \text{ V}$ **Gleichgewicht**, es fließen keine Ströme. Aber jetzt legen wir versuchsweise mal eine **negative** Spannung ans Gate und überlegen was dann passiert.
 - Die Elektronen im Substrat direkt unter der Gate-Elektrode spüren eine abstoßende elektrostatische Kraft; sie werden ins Substratinnere getrieben. Ihre Konzentration direkt unter dem Gate sinkt, und $n^e (U)$ wird eine Funktion der Tiefe **z** unter dem Gate (wir haben natürlich gleichzeitig eine Bandverbiegung):

$$n^e = n^e(z) = f[n^e(z=0), U]$$

Wir haben aber immer noch Gleichgewicht, d.h. das Massenwirkungsgesetz gilt. Damit erhält man für die Löcherkonzentration unter dem Gate

$$n^e(z) \cdot n^h(z) = n_i^2 = \text{const.}$$

$$n^h(z) = n_i^2 / n^e(z)$$

In Worten: Falls die Elektronenkonzentration unter dem Gate sinkt, geht die Löcherkonzentration entsprechend hoch.

Falls wir die Gatespannung genügend groß machen, erreichen wir irgendwann den Fall, daß $n^h(z=0) = n^e(z=0)$, d.h. die Fermienergie ist in Bandmitte.

Die dafür benötigte Spannung ist die **Schwellenspannung U_{thr}** des Transistor (auch diesen Begriff benutzt man im Deutschen eher nicht und sagt dafür "**Threshold voltage**").

Falls wir dann die Gatespannung noch etwas erhöhen, erhalten wir $n^h(z) > n^e(z)$ für kleine Werte von z , d.h. für $z_{\kappa} > z > 0$

In Worten: Direkt unter dem Gate gibt es jetzt **mehr Löcher als Elektronen**. Das ist (für uns) etwas neues, dieser Zustand heißt aus durchsichtigen Gründen **Inversion**.

Was wir jetzt haben ist ein dünner **p-leitender Kanal** der Dicke z_{κ} unter dem Gate – und dieser Kanal verbindet die **p-leitenden** Bereiche von Source und Drain.

Es gibt **keine pn-Übergänge** mehr in diesem Bereich – Strom kann ungehindert fließen, nur noch begrenzt durch den ohmschen Widerstand des Kanals. Der Kanalwiderstand wird mit wachsender Kanaldicke abnehmen; wir können ihn also durch die Gatespannung einstellen.

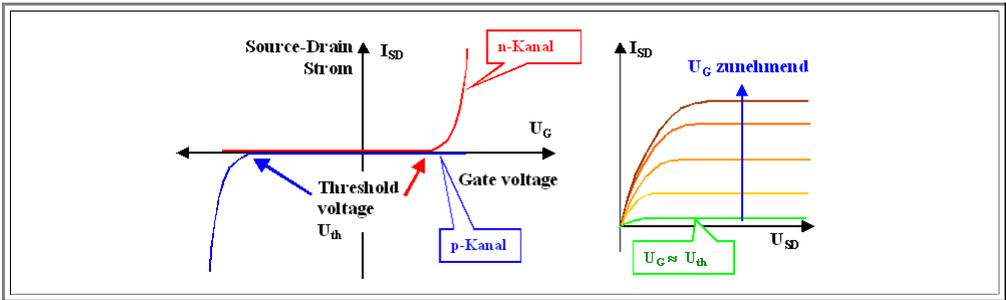
Fall wir die Polarität der Gatespannung umdrehen, werden die Elektronen jetzt angezogen; ihre Konzentration unter dem Gate steigt. Das beschert uns den schon bekannten Zustand der Akkumulation.

Die **pn-Übergänge** bleiben existent; einer ist gesperrt, wir bekommen keinen Stromfluß.

Es ist klar: Falls wir einen **MOS-Transistor** mit einer **positiven** Gatespannung anschalten wollen, müssen wir ein **p-dotiertes** Substrat mit **n-dotierten** Source/Drain-Gebieten verwenden.

Damit haben wir zwei **MOS-Transistor-Grundtypen**: Den **p-** oder **n-Kanal MOS-Transistor**, je nach der Art der Ladungsträger im Kanal bei erfolgter Inversion.

Für die wesentlichen Kennlinien erwarten wir folgende Kurven



Die Abhängigkeit des Source-Drain-Stroms I_{SD} von der Gatespannung U_G ist qualitativ klar. Die Abhängigkeit von I_{SD} von der Source-Drain-Spannung U_{SD} ist vielleicht nicht so ganz klar, aber doch halbwegs einsichtig: Kein Strom ohne Spannung – falls U_{SD} zu klein wird, muß der Strom sinken.

Was können wir nun **quantitativ** zum **MOS-Transistor** aussagen?

Was genau bestimmt U_{thr} , die Threshold-Spannung, oder die Form der $I_{SD}(U_{SD})$ -Kennlinie?

Wie hängen die wesentlichen elektrischen Parameter von den Material- und Technologieparametern ab? Warum muß das Gatedielektrikum dünn sein oder wie genau beeinflusst seine Dicke die Parameter?

Viele Fragen; keine ganz einfachen Antworten (oder Formeln). Letztlich muß man die Poisson-Gleichung für das System aufstellen und lösen – und das geht analytisch nur mit einigem Aufwand mit Näherungen und Fallunterscheidungen.

Aber ein bißchen was geht immer – und zwar in einem "**advanced**" Modul eines anderen Hyperskripts.

Fragebogen
Schnelle Fragen zu 10.2.2