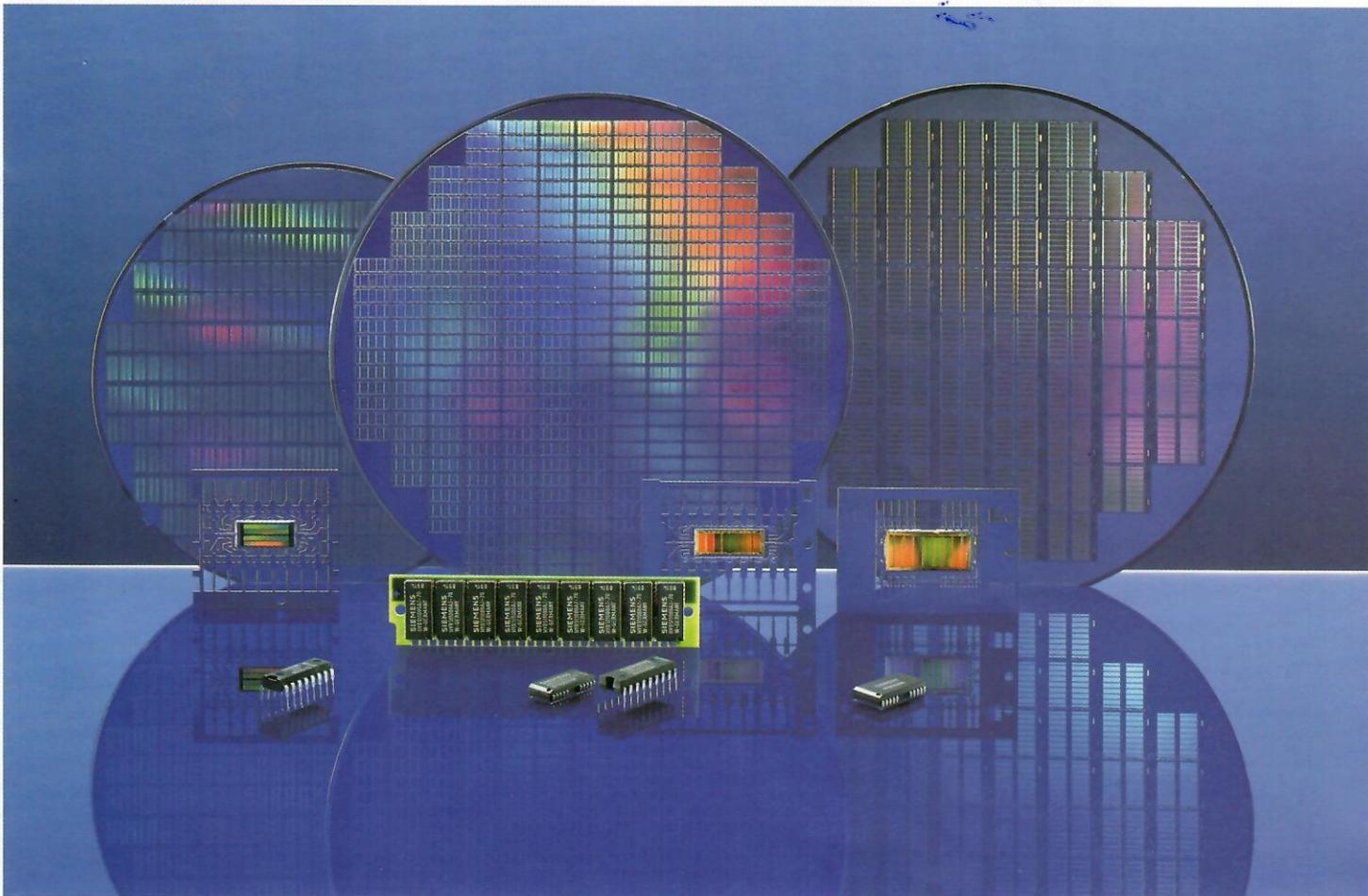


SIEMENS

64



Die Mega-Generation

Hochintegrierte Halbleiterbausteine

Sonderdruck aus: Microcomputer Zeitung mc
Heft 12/1990, Seite 60-70
Autoren: Dr. F. S. Becker, Dr. H. Föll, K. Schlüter

Dynamische Speicherbausteine gelten als Schneepflug der technologischen Entwicklung. Sie machen den Weg frei für immer komplexere Chips mit immer kleineren Strukturen. 4-MBit-Speicher sind heute Stand der Technik, 16- und 64-MBit-Chips zeichnen sich aber bereits am Horizont ab.

Die Mega-Generation

Hochintegrierte Halbleiterbausteine

Die Erfindung der Integrierten Schaltung vor drei Jahrzehnten setzte eine Revolution in Gang, deren Ende noch nicht abzusehen ist. Dank der Miniaturisierung von Integrierten Schaltungen stehen heute Rechenkapazitäten auf dem Schreibtisch zur Verfügung, wie sie noch vor wenigen

Jahren nur in Großrechenzentren anzutreffen waren. Was als Spieltrieb einzelner Forscher begann, bestimmt heute die Marktchancen ganzer Industriebereiche. Obwohl

den Einsatz von Chips zurückzuführende Leistungssteigerung ist jedoch für die Konkurrenzfähigkeit häufig entscheidend. Dank dieser Schlüsselfunktion ist der Markt



Bild 1. Die ersten bei Siemens entwickelten Speicherbausteine waren die 4-KBit-DRAMs. Seitdem erschien etwa alle drei Jahre eine neue, um den Faktor vier leistungsfähigere Chip-Generation. Das Bild zeigt die Abfolge der Chips bis zum Prototypen des 16-MBit-Speichers von 1990. Deutlich zu erkennen ist die Vergrößerung der Chip-Fläche. Zum Vergleich ist ein Pfennig-Stück eingebildet.

der Markt für integrierte Schaltungen in der Bundesrepublik Deutschland im Jahre 1988 nur 2,8 Milliarden Mark betrug, wurde damit ein Umsatzvolumen von über 600 Milliarden Mark in der sogenannten *Fünfergruppe* (Maschinenbau, Fahrzeugbau, Feinmechanik/Optik, Büro- und Datentechnik) beeinflusst. Der Kostenfaktor Chip ist in den Produkten dieser Gruppe oft nur von untergeordneter Bedeutung, die auf

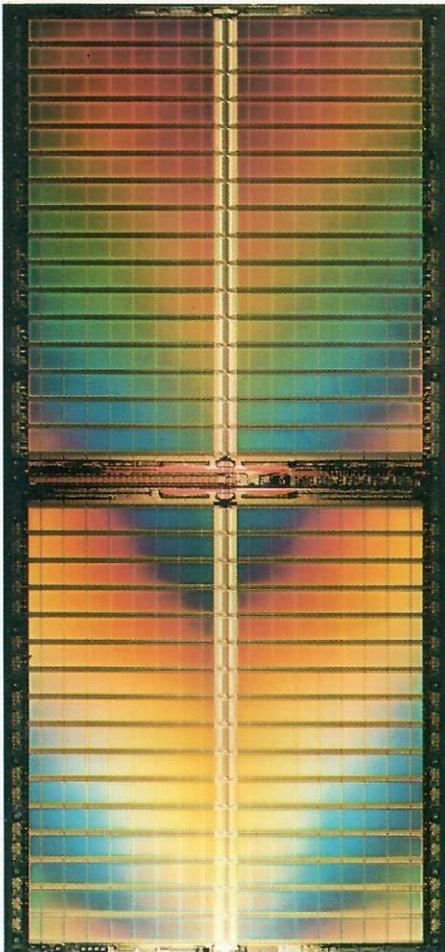
für integrierte Schaltungen umkämpft und risikoträchtig wie kaum ein anderer. Eine Pionierrolle in der Mikroelektronik spielen die DRAMs (Dynamic Random Access Memories), die dynamischen Speicherbausteine also. Sie sind aufgrund hoher Regelmäßigkeit und großen Fertigungsvolumens gut geeignet, die Produktion zu optimieren und eine konstante Grundlast zu gewährleisten. Das dabei erarbeitete Technologie-Know-How wird dann nach einigen Jahren auch für die komplexeren Logikbausteine genutzt. Die Tatsache, daß Chips heute soviel lei-

stungsfähiger als noch vor zehn oder zwanzig Jahren sind, beruht im wesentlichen auf vier Faktoren [1]:

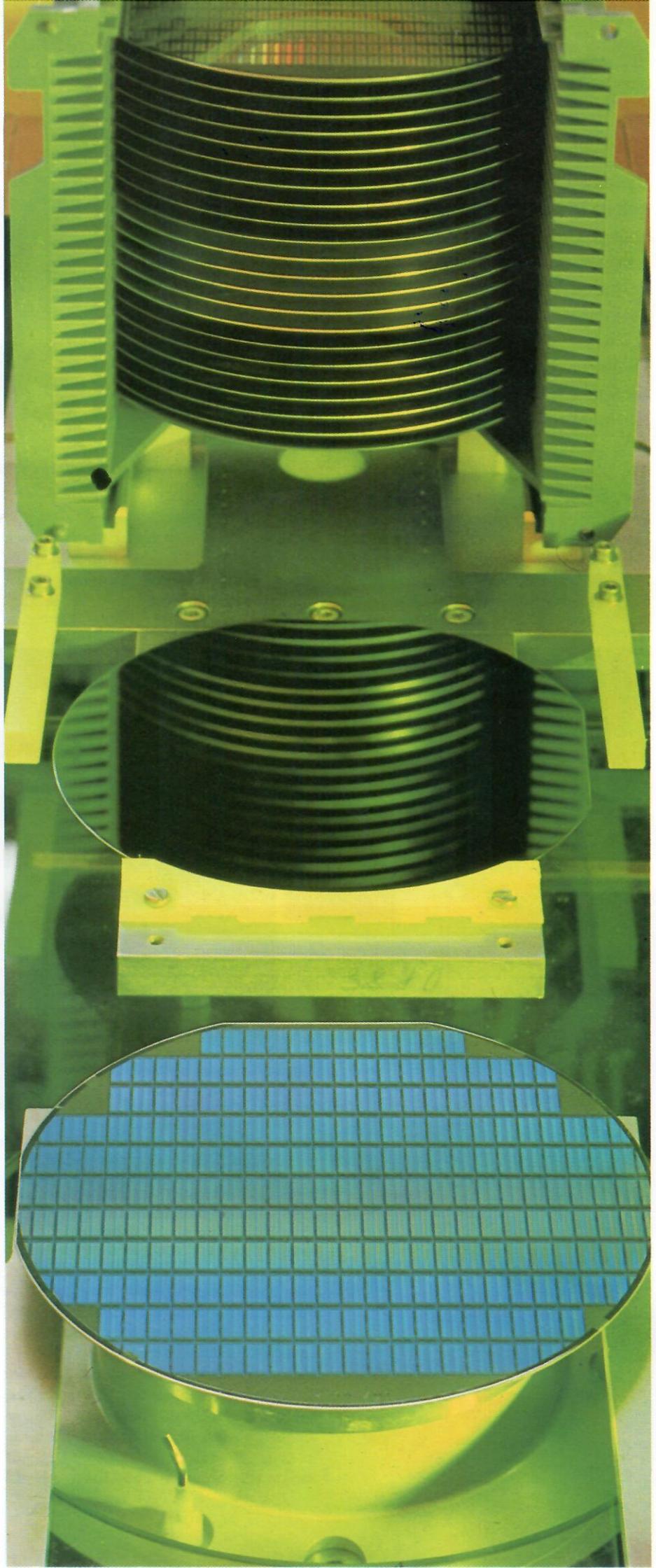
- Die Chipfläche nimmt zu
- Die Strukturgröße sinkt
- Mehr Schichten werden übereinandergestapelt
- Die Prozeßkomplexität wächst

So hat zum Beispiel ein 4-MBit-Speicher im Vergleich zum 1-MBit-Speicher eine größere Chipfläche, geringere seitliche Abmessungen der Einzelelemente, nützt über die *Grabenzelle* auch die dritte Dimension und wird in einer komplexeren Technologie hergestellt (vergleiche auch *Bild 1*).

Hier sollen anhand des bereits seit einem Jahr produzierten 4-MBit-DRAMs von Siemens die technologischen Schwierigkeiten erläutert werden, die auf dem Weg zum Massenartikel zu meistern waren. Die



Strukturen dieses Bausteins liegen im Sub-Mikron-Bereich, sind also kleiner als $1 \mu\text{m} = 1/1000 \text{ mm}$. Einen Eindruck von der fortschreitenden Miniaturisierung vermittelt *Bild 2*. Bei zukünftigen Speichergenerationen sollen noch kleinere Strukturen realisiert werden. Damit sind Anforderungen



Die Tabelle enthält Daten der Erstversionen.

| | 4 KBit | 16 KBit | 64 KBit | 256 KBit | 1 MBit | 4 MBit | 16 MBit |
|--|--------|---------|---------|----------|--------|--------|------------------------------|
| Speicherbare DIN A4- Schreibmaschinen- Seiten | ¼ | 1 | 4 | 16 | 64 | 256 | 1000 |
| Chipfläche in mm ² | 24 | 20 | 30 | 45 | 54 | 91 | 142 |
| Kleinste laterale Strukturen in µm | 6 | 4 | 2 | 1,5 | 1,2 | 0,8 | 0,6 |
| Lithographiebedingte Minimalauflösung* | 3,5 | 2,2 | 1,3 | 1,0 | 0,8 | 0,7 | 0,6 |
| Zahl der Prozessschritte | 70 | 80 | 80 | 120 | 280 | 400 | 450 |
| Produktions- aufnahme | 1976 | 1980 | 1981 | 1985 | 1987 | 1989 | voraus- sichtlich 1992 |

* (g-Linie)

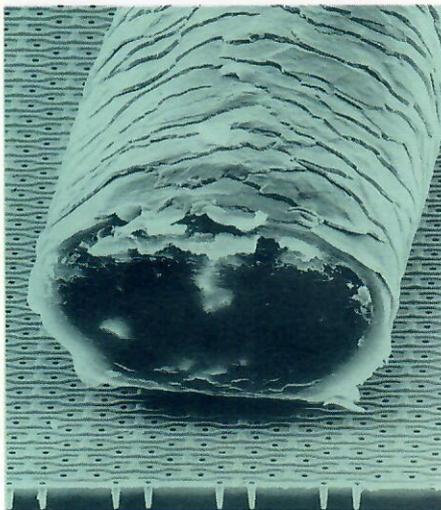


Bild 2. Der Abstand von zwei Grabenkondensatoren – im Bild erkenntlich als muldenförmige Einbuchtungen – beträgt etwa 1 µm = 1/1000 mm. Im Vergleich dazu wirkt ein menschliches Haar wie ein Baumstamm.

an den Grenzen von Physik, Chemie und Ingenieurskunst verknüpft.

Dynamische Speicherbausteine

DRAMs zählen zu den *flüchtigen* Speichern, die ihre Information beim Abschalten der elektrischen Stromzufuhr verlieren [2]. Dynamic Random Access besagt, daß die Information regelmäßig aufgefrischt wird, und daß jedes Bit frei anwählbar ist. Ein einzelnes Speicherelement, die sogenannte *Elementarzelle*, besteht aus einer Kapazität und einem Tordransistor (Bild 3). Das Einschreiben erfolgt, indem man zuerst mit einem Wortimpuls das Tor öffnet und dann der Bitleitung ein „0“- oder „1“-Signal zuführt. Dadurch kann sich die Kapazität entsprechend ent- oder aufladen. Zum Lesen wird mit einem Wortimpuls das Tor erneut geöffnet. Der Spannungsimpuls auf der Bitleitung ist dann das ausgelesene Signal.

Da sich der Kondensator mit der Zeit entlädt ist eine periodische Auffrischung der Bitinformation notwendig. Diese erfolgt durch eine außerhalb des Zellenfeldes angebrachte Logikschaltung, die beispielsweise beim 4-MBit-DRAM alle 16 ms das Vorhandensein einer Ladung im Kondensator überprüft und diese gegebenenfalls erneuert (Refresh). Eine hohe Kapazität des DRAM-Zellenkondensators ist nicht nur wichtig, um die Refreshfrequenz möglichst niedrig zu halten. Auch die Störsicherheit gegenüber durch natürliche Alphateilchen verursachten, momentanen Kurzschlüssen und das Verhältnis zur Kapazität der die einzelne Zelle ansteuernden Leiterbahnen sind

zu berücksichtigen. Die Forderung nach einer Mindestkondensatorkapazität (etwa 35 Femto Farad) bei gleichzeitiger Verringerung des Platzbedarfs der Elementarzelle führte beim 4-MBit-DRAM und dem Nachfolgemodell, dem 16-MBit-DRAM, zur Verwendung einer dreidimensionalen Grabenzelle (Bild 4). Da das Zellenfeld mehr als 50% der Gesamtfläche des Chips in Anspruch nimmt, ist dort der Druck, durch Minimierung der Strukturen Platz zu sparen, besonders groß. Dennoch wird das Zellenfeld beispielsweise beim 4-MBit-DRAM in acht 512-KBit-Blöcke aufgeteilt, da sonst zu manchen Zellen die Leitungen zu lang wären, wodurch sowohl deren Eigenkapazität als auch die Signallaufzeiten zu groß würden.

Wie in Bild 3 gezeigt, ist das Zellenfeld von sogenannten Rasterschaltungen umgeben, also von Decoderschaltungen in Wortleitungs- und Bitleitungsrichtung, von Leseverstärkern und von Schaltungen zur Vorladung der Bitleitungen [3]. Die sich anschließende Peripherie des Speichers ist unregelmäßig. Sie enthält zum Beispiel Generatoren für verschiedene Spannungspegel, die für den internen Betrieb benötigt werden, I/O-Schaltungen, sowie weiterhin Schutzschaltungen gegen Spannungsspitzen, die durch elektrostatische Entladungen bei der späteren Weiterverarbeitung der Chips verursacht werden können. Aus Gründen der Ausbeutesteigerung und

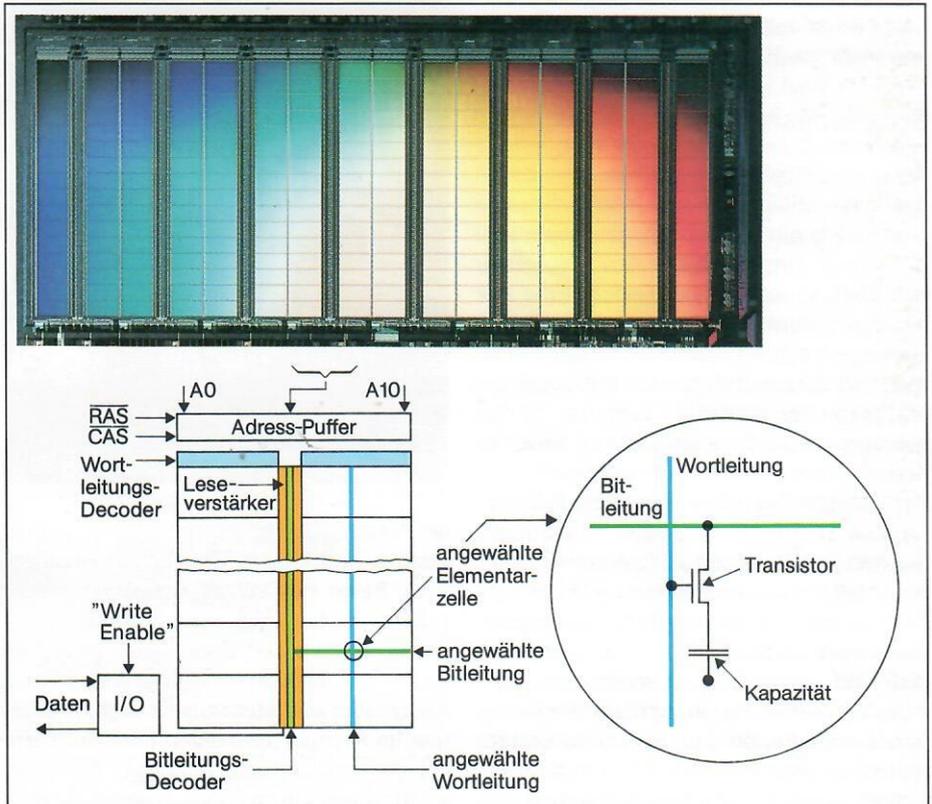


Bild 3. Aufbau eines DRAM-Chips: 1-Transistor-DRAM-Zelle (rechts) und Zellenfeld (links)

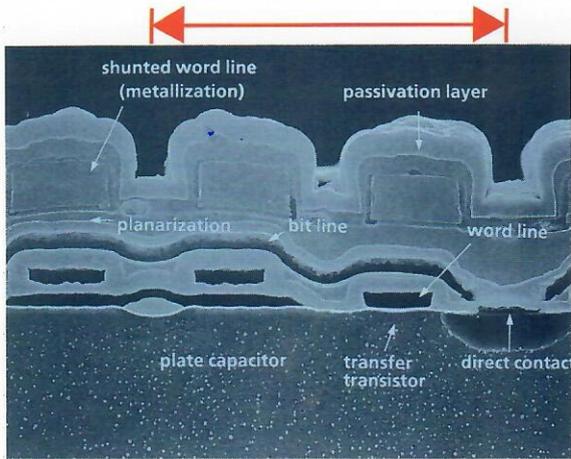
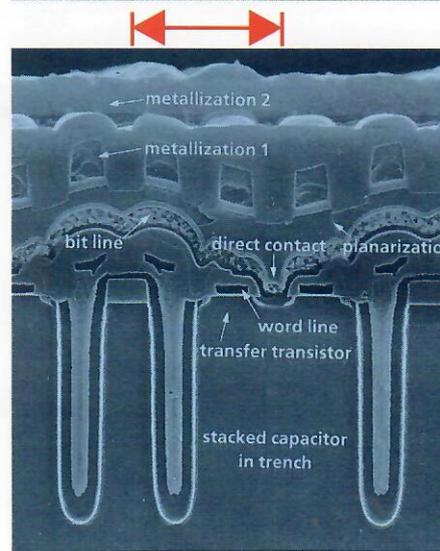
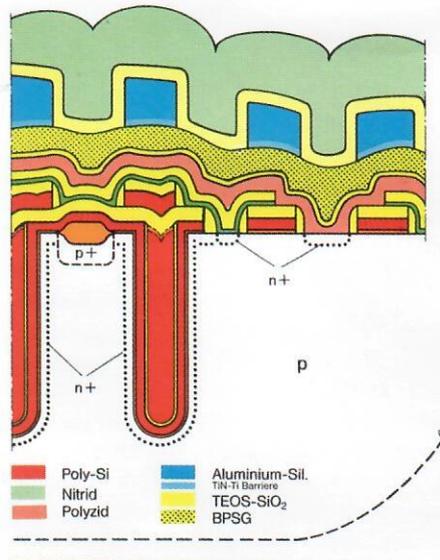


Bild 4. Maßstäbliche Raster-Elektronen-Mikroskopische Aufnahmen der Mega-Chip-Strukturen:
 1-MBit-DRAM (links),
 4-MBit-DRAM mit Schemazeichnung (unten)
 16-MBit-DRAM (ganz unten).
 Die Größe der Elementarzelle ist als Balken ausgewiesen.

damit der Wirtschaftlichkeit im Fertigungsstadium benutzen alle Speicher seit dem 256-KBit-Chip redundante, also zusätzliche, Wort- und Bitleitungen, im Falle des 4-MBit-Speichers sind je 4 Wort- und Bitleitungen pro 512-KBit-Block vorgesehen. Nach Beendigung des Herstellungsprozesses auf Scheibenebene wird in einem ersten Funktionstest beurteilt, ob der Baustein reparierbar ist und wenn ja, welche Bits zu reparieren sind. Dieses Testergebnis steuert dann eine Laserapparatur, die mit gezielten Laserschüssen etwa 2 µm breite Bahnen so auftrennt, daß die fehlerhaften Wort- und Bitleitungen stillgelegt und dafür die redundanten, funktionstüchtigen Leitungen hinzugeschaltet werden. Die Zahl der maximal reparierbaren Ausfälle hängt von der Verteilung der Fehler ab. Erfahrungsgemäß kann durch dieses Verfahren insbesondere in der Anfangsphase der Chipherstellung eine Ausbeutesteigerung von mehr als 100 % erreicht werden.

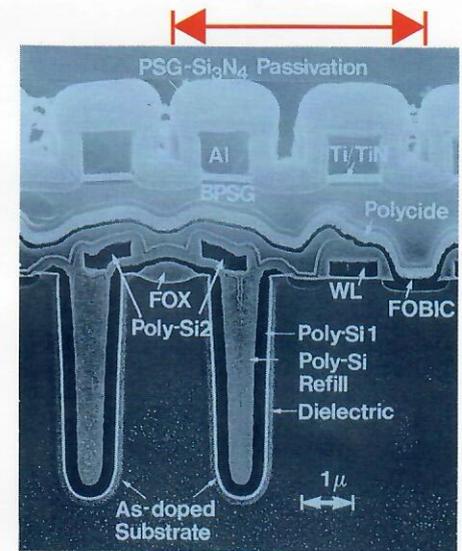
Schaltungsentwurf

Komplexe Schaltungen mit Hunderttausenden oder Millionen von Einzelementen lassen sich nur noch computerunterstützt herstellen. Ausgehend von den vorgegebenen Zielfunktionen wird die Schaltung zunächst in Funktionsblöcke zerlegt, deren Gesamtverhalten untersucht wird. Zunehmend wird beim Design auch mit Logikzellen gearbeitet, wobei es sich um häufig gebrauchte Teilfunktionsblöcke handelt, deren Daten in Rechnerbibliotheken zur Verfügung stehen. Bild 5 zeigt ein Beispiel für den schrittweisen Aufbau einer integrierten Schaltung mit Hilfe eines Computer-Aided-Engineering-Systems (CAE). Bei der sogenannten Logiksimulation geht es beispielsweise darum, die logischen Abläufe auf dem Chip zu verifizieren. Ein Beispiel dafür ist die Überprüfung der Decoderschaltungen, die den außen angelegten Adressen entsprechende Wort- und Bitleitungen zuordnet. Von zentraler Bedeutung ist die sogenannte Schaltkreissimulation,



bei der der zeitliche Ablauf, das sogenannte Timing, auf einem Datenpfad simuliert wird. Bevor eine solche Simulation durchgeführt werden kann, müssen sämtliche an einem solchen Datenpfad beteiligten Elemente wie Transistoren, Widerstände und Kapazitäten als Datenbasis für diese Simulation im Rechner vorhanden sein. Auf Basis der so entstandenen Netzliste, die beim 4-MBit-Chip bis zu 5000 diskrete Bauelemente umfaßt, kann das gesamte Zeitver-

halten etwa vom Beginn eines Lesezyklus bis hin zum Anlegen des auszulesenden Spannungspegels am Ausgangspin simuliert werden. Derartige Simulationen sind äußerst rechenintensiv. So benötigte etwa die Simulation kritischer Pfade des 4-MBit-Speichers an einem modernen Vektorprozessor zwischen 4 und 5 Stunden. Die Abweichung der Simulationsergebnisse von später gemessenen Werten liegt erfahrungsgemäß zwischen 10 bis 20 %. Mit Hilfe der Simulation kann auch die Empfindlichkeit des Bausteins auf verschiedene Ein-



flußgrößen untersucht werden, etwa auf die unvermeidlichen Prozeßschwankungen.

Die auf diese Weise entworfenen logischen Schaltungen müssen jetzt in ein geometrisches Layout umgesetzt werden. Hier werden die Informationen für alle im Herstellungsprozeß des Speichers verwendeten Strukturierungs- und Implantationsschritte zusammengefaßt. Mit umfangreichen Verifikationsläufen wird festgestellt, ob das geometrische Layout die geforderten Designregeln erfüllt, elektrisch funktionsfähig ist und die geometrisch beschriebenen Schaltungen identisch mit den logischen Schaltungen sind. Erst nach diesen Kontrollen werden die Daten für jede Prozeßebene getrennt in sogenannte Kenndaten für den Elektronenstrahlschreiber umgesetzt, der dann die Masken für die einzelnen Ebenen – dies sind beim 4-MBit-Chip insgesamt 19 – erzeugt.

Einzelprozesse

Trotz intensiver Erforschung von Alternativen wie etwa Gallium-Arsenid hat Silizium als Rohmaterial zur Herstellung von Hochintegrierten Schaltungen seine dominieren-

de Stellung nicht eingebüßt. In Form von Quarzsand ist es ein weit verbreitetes Element, aus dem relativ billig mit etablierter Technik nahezu perfekte Einkristalle gezüchtet werden können. Aus diesen werden dünne Siliziumscheiben, sogenannte Wafer, gefertigt, aus denen dann in hunderterten von Arbeitsschritten [4] die fertigen Chips entstehen. Die Zahl der Fertigungsschritte beträgt beim 4-MBit-Chip etwa 400, beim 16-MBit-Chip sollen es insgesamt 450 sein. Bild 6 zeigt schematisch die

zyklische Prozeßfolge, die eine Siliziumscheibe bis zur Fertigstellung des Bausteins fast zwanzig mal durchläuft. Die Entwicklungsfortschritte bei der Erhöhung der Chipintegrationsdichte haben die Anforderungen an die Einzelprozesse und Prozeßfolgen ständig verschärft. Besonders in der Schicht- und Ätztechnik hat dies zu einer breiten Vielfalt von Prozessen geführt, die für jeweils spezifische Anwendungen optimiert wurden. Die folgende Charakterisierung der fünf Hauptkatego-

rien von Einzelprozessen kann sich deshalb nur auf einige wesentliche Aspekte beziehen.

Schichtherstellung

Der klassische Prozeß zur Erzeugung isolierender Siliziumdioxidschichten ist die Oxidation freiliegenden Siliziums bei Temperaturen von 900–1100° C. Als oxidierende Atmosphäre wird O₂ oder H₂O verwendet, wobei in manchen Fällen auch HCl zur Verbesserung der Oxidqualität zugesetzt wird. Hauptanwendungen sind bei den DRAMs die Herstellung des etwa 800 nm dicken Feldoxids und der unter 20 nm dünnen Gateoxide. Ersteres dient zur elektrischen Isolation der aktiven Gebiete, letzteres sowohl für die Transistorgates als auch für das Dielektrikum des Speicherkondensators.

Mit der Zunahme der Anzahl von Schichten in integrierten Schaltungen stieg die Bedeutung der Schichtabscheidung durch *Chemical Vapor Deposition* (CVD), zu deutsch auch als *reaktive Schichtabscheidung* bezeichnet. Dabei werden in einem Reaktionsraum Gase durch Energiezufuhr zur Reaktion gebracht. Die Prozesse können sowohl bei Atmosphärendruck als auch bei Unterdruck ablaufen. Die festen Reaktionsprodukte schlagen sich als Schichten auf den Siliziumscheiben (zum Teil auch auf den Reaktorwänden) nieder, während die flüchtigen Verbindungen abgepumpt werden. Die Energiezufuhr geschieht üblicherweise thermisch oder über eine elektrische Entladung. Das CVD-Verfahren zeichnet sich insbesondere durch eine hohe Schichtqualität aus, durch eine gute Bedeckung der Kanten und durch die Homogenität der Schichten. Nachteilig sind die zum Teil recht hohen Abscheidetemperaturen, die Partikelproblematik (Bild 7) und die Verwendung gefährlicher Gase.

Speziell für Elemente, die nicht für CVD reaktionsgünstige Verbindungen bilden, wurde das Verfahren des *Sputterns*, zu deutsch *Aufstäubens*, entwickelt. Bei diesem Prozeß wird das auf einem *Target* befindliche Ausgangsmaterial mit energiereichen Ionen beschossen und auf die gegenüber angebrachte Scheibe aufgestäubt. Dabei können einige der CVD-Probleme umgangen werden, jedoch sind geringer Durchsatz und hohe Partikelanfälligkeit gewichtige Nachteile. In der Praxis werden vor allem Antireflexschichten und leitende Elemente wie Molybdän, Tantal, Wolfram und Aluminium gesputtert, wobei die prozeßinhärente schlechte Kantenabdeckung besonders beim Aluminium inzwischen zu einem grundlegenden Hindernis bei der Erhöhung der Integrationsdichte geworden

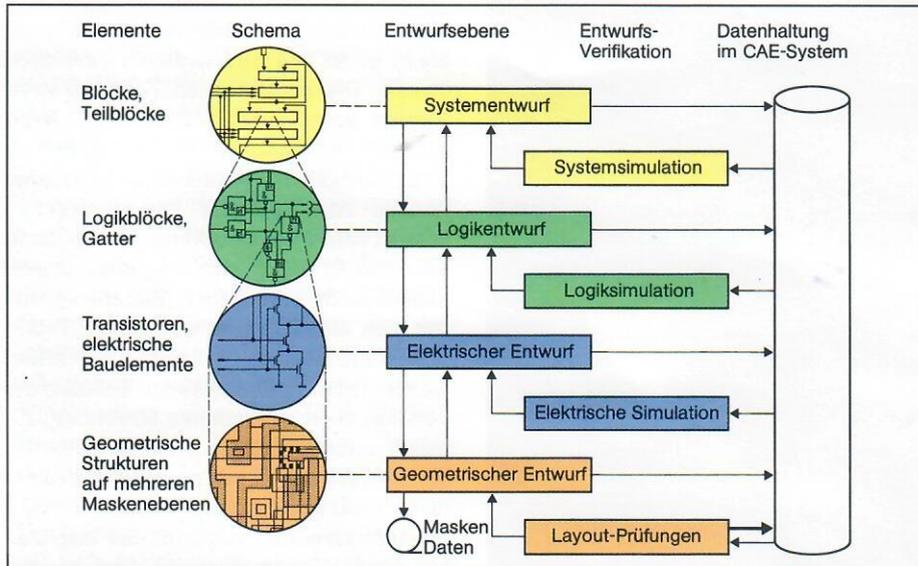


Bild 5. Neue Chips können nur mit Hilfe modernster Computertechnologie entworfen werden – dies gilt sowohl für die Hard- als auch für die Software. Die Skizze veranschaulicht die Abfolge der Chip-Entwicklung mit Hilfe eines CAE-Systems.

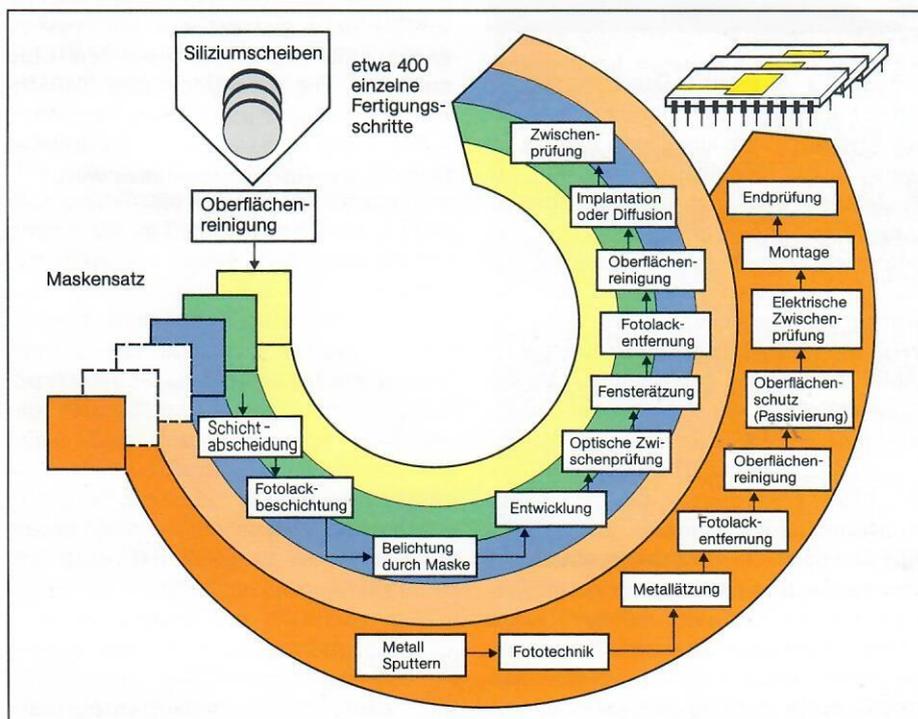
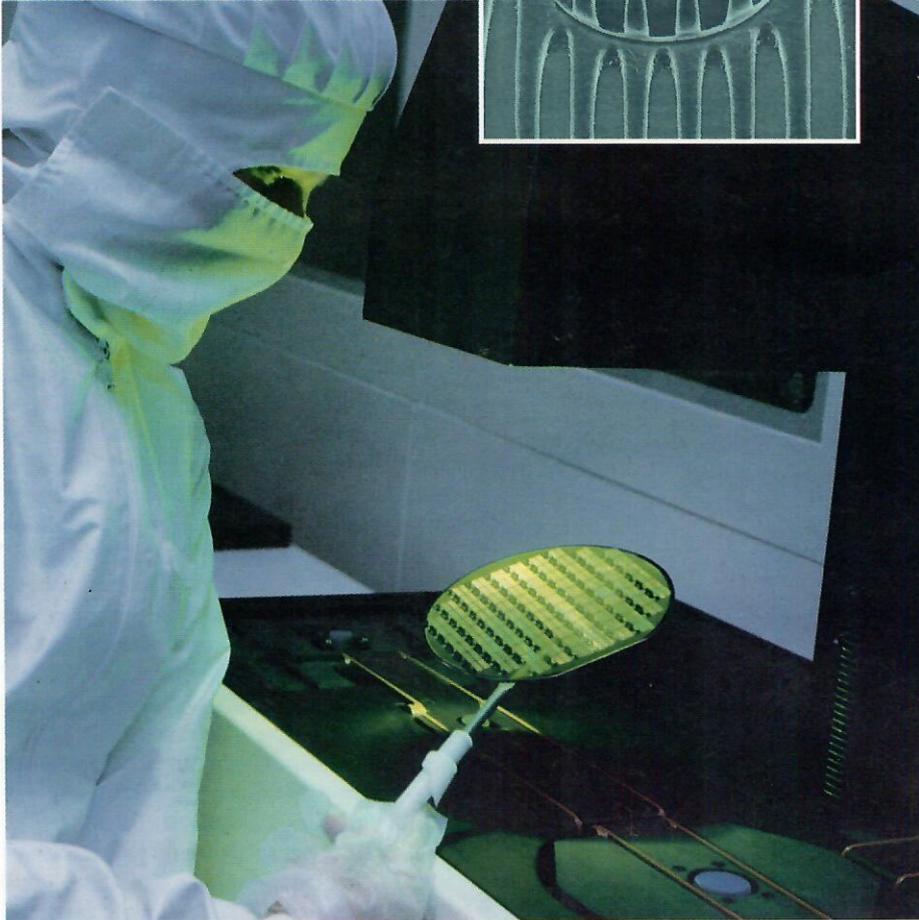
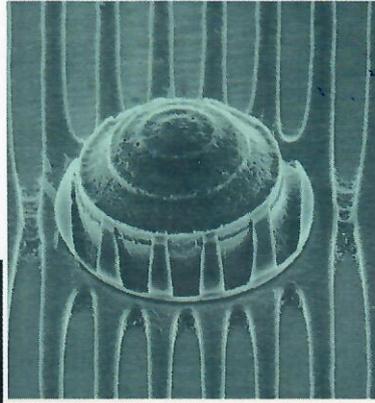


Bild 6. Schematische Darstellung der zyklischen Prozeßfolge, die eine Siliziumscheibe bis zum fertigen 4-MBit-Chip 19 mal mit insgesamt etwa 400 Prozeßschritten durchläuft. Der letzte Schritt ist der Passivierungsschritt.

Bild 7. Bereits mikroskopisch kleine Staubpartikel zertören die Chip-Strukturen. Tolerierbar ist eine Defektdichte, die etwa einem Stecknadelkopf auf der Größe eines Fußballfeldes entspricht. Dies macht eine Herstellung der Chips in Reinraumfabriken nötig.



ist. Die Entwicklung von CVD-Prozessen auch für Metalle bildet deswegen einen aktuellen Entwicklungsschwerpunkt der Schichttechnik.

Materialveränderung

Zu den damit angesprochenen Prozessen zählen all diejenigen, die die Eigenschaften bereits aufgetragener Schichten verändern. Bei der *Implantation* werden Bor-, Phosphor- oder Arsen-Ionen in einem ersten Dotierungsschritt in das Silizium hineingeschossen. Eine anschließende *Hochtemperatur-Diffusion* verteilt die Elemente dann

gleichmäßig im Kristall. Dabei werden zugleich die bei der Implantation entstandenen Kristallschäden ausgeheilt, und die Ionen so in das Kristallgitter eingebaut, daß sie elektrisch *aktiv* sind. Unter der Bezeichnung *Temperung* dient ein ähnlicher Temperaturschritt auch zur Verbesserung der Qualität gesputterter Schichten oder der Bildung von Verbindungen wie beispielsweise Molybdän-Silizid. Durch eine bei erhöhter Temperatur durchgeführte *Verfließung* schließlich läßt sich eine bei der Abscheidung mit Bor- oder Phosphor dotierte Siliziumdioxidschicht (Borphosphorsilikatglas, BPSG) erweichen, so daß die Oberflächenspannung die Konturen glätten kann (Bild 4b und c). Durch diese *Planarisierung* wird die Kantenbedeckung der nachfolgenden Schichten verbessert und die Situation für die Fototechnik entspannt.

Fotolithographie

Da Schichten in der Regel nur ganzflächig abgeschieden werden, aber nicht überall erwünscht sind, müssen sie in einer extra Prozeßfolge strukturiert werden. Als erster Schritt wird dazu die Scheibe mit einem lichtempfindlichen, auch *Resist* genannten Fotolack überzogen. In diesem wird dann unter Verwendung der entsprechenden Maske die Struktur hineinbelichtet. Während an den vom Licht getroffenen Stellen der Lack durch eine chemische Reaktion so verändert wird, daß er durch organische Lösungsmittel leicht entfernt werden kann, bleibt er in den unbelichteten Bereichen stehen. Die entstandenen Lackstrukturen werden gegebenenfalls noch durch eine spezielle Bestrahlung mit ultraviolettem Licht nachgehärtet, um bei dem anschließenden Ätzschritt die darunterliegende Schicht besser vor dem Abtrag zu schützen. Bei einer in den letzten 15 Jahren prinzipiell ähnlich gebliebenen Prozeßfolge haben sich die Anforderungen an die Fotolithographie mit jeder Speichergeneration weiter verschärft. Einerseits besteht die Tendenz zu immer feineren Strukturen, zugleich nehmen aber auch die Höhenunterschiede auf dem Chip zu, da die Bauelemente zwar enger gepackt werden, die Zahl der Schichten aber zunimmt und ihre Dicken kaum verringert werden können. Dies hat zur Folge, daß die Tiefenschärfe der Belichtung durchführenden *Stepper* ein immer kritischerer Parameter wird. Bei hochintegrierten Schaltungen muß deshalb die Prozeßführung so gestaltet sein, daß keine zu großen Höhenunterschiede auf dem Chip entstehen. Die dazu getroffenen Maßnahmen werden als *Planarisierung* bezeichnet – *Bild 8* zeigt ein besonders eindrucksvolles Beispiel, das aus [5] entnommen wurde.

Verschärft wird die Tiefenschärfenproblematik durch die Notwendigkeit, zur Erzeugung immer feinerer Strukturen die Wellenlänge des verwendeten Lichts zu reduzieren. Derzeit werden als Lichtquellen für die Herstellung von ICs hauptsächlich zwei Emissionslinien von Hochdruckquecksilberlampen, nämlich die g-Linie (436 nm) und die i-Linie (365 nm) eingesetzt. Für zukünftige Chipgenerationen sind das *Tiefe Ultraviolett* (200-250 nm) und Röntgenstrahlung (1 nm) im Gespräch. Die bei einem solchen Wechsel notwendigen technologischen Umstellungen sind jedoch so gravierend, daß aus Fertigungsgründen so lange wie möglich mit der bisherigen Lithographie gearbeitet werden wird.

Eng verbunden mit der Fototechnik ist die Lacktechnik, da eine Reihe von Schwierigkeiten eine intensive Zusammenarbeit erfordern, um Lackstrukturen mit steilen Flanken und gleichmäßiger, von der wechselnden Lackdicke unabhängiger Stegbreite zu erreichen. Störende Einflüsse sind beispielsweise die unterlagenabhängige Lichtreflexion, die wegen der Unterschiede im Schichtaufbau über den Chip variiert. Ebenso bedingen die auf die einebnende Wirkung des Lacks zurückzuführenden Lackdickenunterschiede eine sehr sorgfältige Optimierung der Belichtungsdosis, damit tiefe Lackbereiche voll durchbelichtet werden, ohne zugleich an Stellen geringerer Lackdicke durch Überbelichtung zu schmale Stege zu erzeugen. Voraussetzung für die Fertigbarkeit höchstintegrierter Schaltungen ist jedoch, daß für alle Probleme im Routinebetrieb praktikable Lösungen gefunden werden.

Ätztechnik

Die Ätzung entfernt die nicht durch Fotolack geschützten Schichtbereiche und überträgt so die im Lack erzeugte Struktur in die Unterlage. Der Prozeß sollte maßgenau sein und selektiv nur die zu entfernende Schicht, nicht jedoch deren Unterlagen angreifen. Für integrierte Schaltungen mit Strukturen im μm -Bereich hat sich generell die *Plasmaätzung* durchgesetzt, bei der in einer Gasentladung erzeugte Ionen beschleunigt auf die Scheibe auftreffen und so einen bei den früher verwendeten Naßverfahren nicht erzielbaren gerichteten Abtrag bewirken. Der Erfolg ist dabei von einer Reihe von Randbedingungen abhängig. Art und Behandlung des Fotolacks spielen ebenso eine Rolle wie der Schichtaufbau, die Ätzgase, die Plasmaenergie und die Reaktorkonstruktion. In der Praxis führt dies dazu, daß für jede spezifische Anwendung der Ätzprozeß neu entwickelt oder zumindest doch optimiert werden muß.

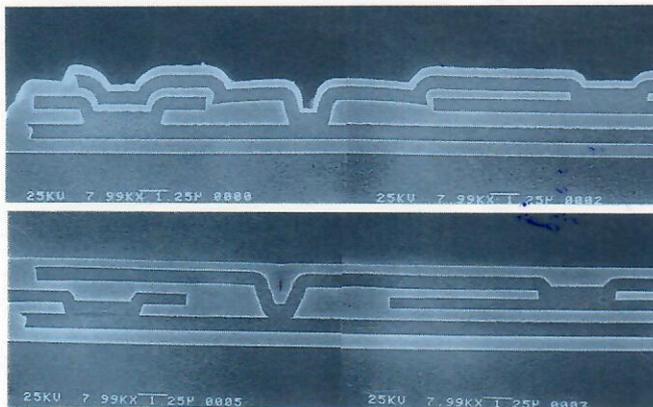


Bild 8. Mit der Zahl der Schichten wachsen die Höhenunterschiede innerhalb der integrierten Schaltung (oben). Durch geeignete Maßnahmen (z. B. Fotolack auftragen und rückätzen), läßt sich auch im fortgeschrittenen Prozeßstadium die von der Fototechnik geforderte, ebene Oberfläche wieder herstellen (unten).

Naßchemische Prozesse

Obwohl heute nicht mehr zur Strukturierung eingesetzt, entfallen beim 4-MBit-Chip etwa 40 % der Prozeßschritte auf Naßprozesse. Dies ist auf die verstärkte Notwendigkeit von Reinigungsschritten zurückzuführen. Automatisierung und sichere Entsorgung der verwendeten aggressiven Flüssigkeiten sind hier aktuelle Arbeitsschwerpunkte.

4-MBit-Speicher

Mit den oben angesprochenen Einzelprozessen wurden die wichtigsten technischen Verfahren zur Herstellung eines Chips vorgestellt. Eine kurze Diskussion der besonderen technologischen Schwierigkeiten, die bei der Realisierung des 4-MBit-Chips überwunden werden mußten, soll im folgenden einen Eindruck davon vermitteln, wie groß der Aufwand für die Entwicklung zusätzlicher Prozeßkomplexe sein kann.

Die gegenüber dem 1-MBit-DRAM erforderliche Verkleinerung der Zellfläche wird hauptsächlich durch eine bessere Lithographie und durch eine platzsparende Anordnung der einzelnen Komponenten erreicht. Beide Maßnahmen erfordern neue und verbesserte Einzelprozesse. Die dann herstellbaren kleineren Strukturen führen zu neuen Problemen, die wiederum neue Prozesse und Technologien erfordern.

Sieht man von der Lithographie ab, so ergeben sich als platzsparende Maßnahmen im wesentlichen vier Prozeßkomplexe, die gegenüber dem 1-MBit-DRAM neu sind.

Grabenkondensator

Wie bereits angedeutet, wurde durch Einbeziehung der dritten Dimension – der 1-MBit-DRAM wurde noch in Planartechnik hergestellt – eine ausreichende Kondensatorkapazität in Form eines Grabens erreicht. Die technologischen Probleme, die dieser Grabenkondensator mit sich bringt, sind jedoch beachtlich:

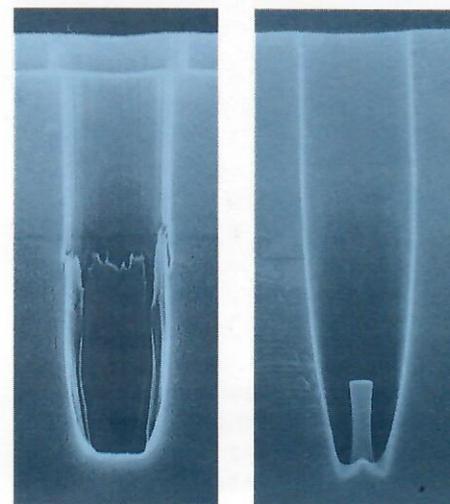


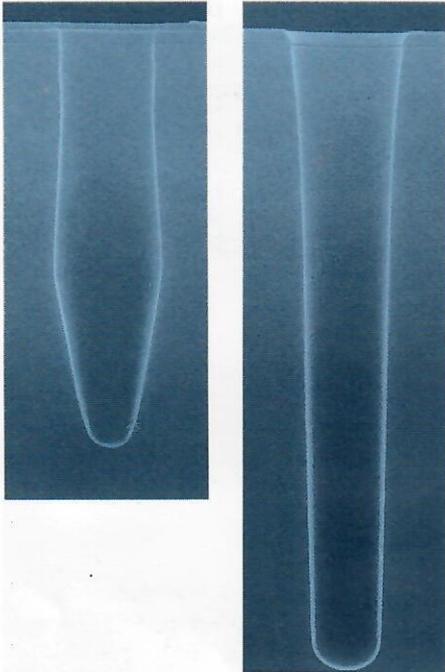
Bild 9. Viele Versuche waren notwendig, um die gewünschte, ideale Grabenform – umseitig rechts – zu erreichen.

- Ätzung der Löcher (Bild 9)
- Dotieren der Seitenwände
- Erzeugung des Kondensatordielektrikums
- Herstellung und Dotierung der Polyelektrode im Graben
- Auffüllen des Grabens
- Vermeidung von elektrischen Durchschlägen zwischen zwei Gräben

Die Beherrschung allein dieses Prozeßkomplexes bedingte einen Aufwand von rund 100 Mannjahren und etwa 3–4 Jahre intensiver Arbeit.

Dielektrikum

Um eine gleichmäßige Dicke des im Gegensatz zum 1-MBit-DRAM dreidimensionalen Kondensatordielektrikums zu erreichen,



wird ein Sandwich aus thermischem Oxid, abgeschiedenem Nitrid und einem weiteren thermischen Oxid geformt – abgekürzt ONO. Damit sind die beiden extrem wichtigen Grenzflächen zwischen Dielektrikum und Silizium erstmal unverändert, gleichzeitig sorgt das gleichmäßig dicke Nitrid aber für eine verbesserte Durchschlagfestigkeit und erhöhte Dielektrizitätskonstante.

Überlappende Bitleitungskontakte

Beim 4-MBit-DRAM wurden durch einen komplizierten Prozeß die Gates der Transistoren in Oxid eingekapselt, die Verbindung für die Bitleitungskontakte kann dann so groß sein, daß es die Gates überlappt – man spricht von *Fully Overlapping Bitline Contacts* (FOBICs). Ein Sicherheitsabstand wird nicht mehr benötigt, das Bitleitungsrastrer kann um etwa 1 µm enger geführt werden. Erkauft wird dieser Platzgewinn durch etwa 40 zusätzliche Prozeßschritte.

Diffusionsbarriere

Um unerwünschte Wechselwirkungen etwa metallurgischer Art zwischen den Aluminium-Leiterbahnen und dem Siliziumsubstrat zu verhindern, wurde in den Kontakten zwischen Wortleitung und Steuertransistor (Bild 10) eine Zwischenschicht aus Titan-Nitrid eingebracht. Obwohl hier im Grunde genommen nur wenige zusätzliche Prozeßschritte hinzukommen, entstand ein zusätzlicher Mehraufwand in Höhe von etwa 15–20 Mannjahren.

Kontaktlochschrägung

Ohne eine Kontaktlochschrägung würde beim Aufbringen des Aluminiums durch Sputterverfahren nicht mehr genügend Aluminium an die Seitenwände und auf den Boden des Kontaktlochs gelangen (Bild 10). Das Abrunden des Kontaktloches stellt einen weiteren, technisch schwierigen Prozeß dar. Wie auch die Titan-Nitrid-Diffusionsbarriere ist dieser Schritt eine Konsequenz und nicht eine Maßnahme der Strukturverkleinerung.

Mit der Verkleinerung der Strukturen werden die Prozesse zunehmend komplexer. Darüberhinaus werden auch Rückkopplungen der einzelnen Prozesse auf andere bedeutsam. So kann beispielsweise die Variation eines bestimmten Einzelprozesses dazu führen, daß für einen anderen völlig veränderte Voraussetzungen geschaffen werden. Hier setzen dann die Prozeßkontrollen ein. Für Einzelheiten sei der Leser auf [6] verwiesen.

Projektphasen

Von den ersten Entwürfen bis zum fertigen Massenprodukt liegt ein Zeitraum von etwa vier Jahren.

In der ersten Phase laufen Vorarbeiten bei Designern und Prozeßentwicklern; aus den technologischen Randbedingungen und Möglichkeiten folgen die ersten Designregeln. Einige Vorversuche zu prozeßtechnischen Fragen und die Simulation diverser schaltungstechnischer Ansätze kumulieren nach etwa einjähriger Arbeit im *First Silicon* (Erstes Silizium) eines Testchips.

Dem schließt sich eine Phase an, in der die Design- und Technologiekonzepte festgelegt werden, von denen allerdings im Einzelfall auch noch abgewichen werden kann. Die Bemühungen münden nach etwa zwei Jahren in das First-Silicon-Produktchip. Dieses funktioniert nur eingeschränkt, mit an Sicherheit grenzender Wahrscheinlichkeit aber nicht vollständig.

Aus der Analyse der Design-Technologie, der Montageprobleme und Prüftechniker-

gebnisse resultiert schließlich ein Neudesign. Alternativkonzepte werden entschieden. Es entstehen Labormuster, die jetzt eingeschränkt, das heißt, noch nicht unter allen an ein Massenprodukt zu stellenden Bedingungen, funktionieren.

Die Mühle wird erneut in Gang geworfen, alles wird nochmals – diesmal unter verschärften Bedingungen – optimiert. Es entstehen Vorserienmuster, die dem endgültigen Produkt schon sehr nahe kommen und auch zum Testen an gute Kunden weitergegeben werden. Bis zu diesem Zeitpunkt sind etwa drei Jahre verstrichen.

Abschließend findet eine Materialschlacht statt. Ziel ist es, genügend funktionsfähige Chips als Grundlage für statistisch fundierte Tests zu erhalten, um die Zuverlässigkeit aller technischen Daten für mindestens zehn Jahre garantieren zu können. Prozesse, Prozeßkomplexe und das ganze Umfeld müssen auf Kosten optimiert und die Ausbeute auf mindestens 10 % stabilisiert werden. Alles mit dem Ziel, die *Qualifikation*, das heißt die Produktionsfreigabe durch die Qualitätsabteilung zu erhalten und damit in die Fertigungsphase einzutreten. In der Fertigungsphase wird es wiederum einige Jahre dauern, bis eine Endausbeute von etwa 80 % erreicht wird.

In den vier Jahren bis zum Anwurf der Produktion wurden aber nicht nur die geschilderten Entwicklungsaufgaben wahrgenommen. In dieser Zeit wurde bereits eine neue Fabrik zur Herstellung der Chips gebaut und die ersten Schritte in Richtung auf die nächste, um den Faktor vier leistungsfähigere Speichergeneration gemacht.

Ausblick

In den letzten zwei Jahrzehnten wurde etwa alle drei bis dreieinhalb Jahre eine neue Speichergeneration mit vierfacher Leistung entwickelt. Die Frage, ob dies auch in Zukunft so weitergehen wird, läßt sich aus heutiger Sicht zumindest für die nächsten fünf Jahre positiv beantworten [7]. Zwar handelt es sich bei den ersten 64-MBit-Speichern, die 1990 vorgestellt wurden, nur um teilfunktionsfähige Prototypen, die mit der für die Massenproduktion ungeeigneten Elektronenstrahlolithographie hergestellt wurden. Dennoch dürfte unter Weiterentwicklung der jetzigen Fotolithographie-Techniken bis in den Bereich des tiefen Ultraviolett (Wellenlängen von weniger als 250 nm) ein 64-MBit-Speicher mit einer Chipfläche von etwa 200 mm² fertigbar sein. So schwerwiegend derzeit manche Probleme auch erscheinen mögen – die bisherige Erfahrung hat gezeigt, daß mit jeweils relativ konservativer Fertigungstechnik doch noch jede Speichergeneration nach einigen Jahren auf eine Endausbeute von über 70 % gebracht werden konnte. Auch von der Nachfrageseite her erschließt ein 64-MBit-Speicher genügend neue Anwendungen, beispielsweise bei der Verarbeitung hochauflösender Farbbilder, um lohnende Fertigungsvolumina in Aussicht zu stellen.

Sorgen bereiten den Halbleiterproduzenten allerdings die gewaltigen Kosten, die der Fortschritt auf dem Speichergebiet mit sich bringt – und das alles in einem Markt, der durch regelmäßige Preisverfälle von mehr als einer Größenordnung innerhalb weniger Jahre gekennzeichnet ist! Die Aufwendungen für Forschung und Entwicklung steigen erfahrungsgemäß mit jeder Speichergeneration um etwa 50 %, für neue Fertigungsstätten muß sogar jeweils etwa doppelt so viel investiert werden. Eine 16-MBit-DRAM-Fabrik mit einer Monatsproduktion von 10 Millionen Stück erfordert heutigen Schätzungen zufolge über zwei Milliarden Mark – mit der Aussicht, drei Jahre später für die 64-MBit-Fabrik dann mehr als 4 Milliarden aufbringen zu müssen Kein Wunder also, daß Kooperation und Firmenzusammenschlüsse weltweit zunehmen.

Die technischen Grenzen der heutigen Silizium-Mikroelektronik dürften etwa mit dem 1-GBit-Speicher erreicht sein. Immer fraglicher wird jedoch, ob alles entwickelbare auch ökonomisch umgesetzt werden kann. Das schon lange vorhergesagte Ende der optischen Lithographie wird nun beim 256-MBit-DRAM erwartet. Die Röntgenlithographie als derzeit aussichtsreichste



Bild 10. Der Kontakt der Wortleitungen zum Halbleitermaterial wird in den sogenannten **Kontaktlöchern** realisiert. Damit nach dem Sputtern genügend Aluminium die Seitenwände und den Boden des Kontaktlochs bedecken, müssen die Kontaktlöcher abgeschragt werden. Der helle Aluminiumfleck ist ein durch die Präparation entstandener Artefakt.

Nachfolgerin für Massenfertigung von Strukturbreiten unter 0,2 µm bedingt aber so schwerwiegende Änderungen und Mindestinvestitionen, daß die Barriere für Entwicklung und Produktion in heute schwer vorstellbare Dimensionen wächst. Da nicht davon ausgegangen werden kann, daß ein GBit-Chip mit einer Fläche von etwa 500 mm² so genau auf 0,05 µm große Defekte kontrolliert werden kann, daß die über eine Milliarde Speicherzellen fehlerfrei funktionieren, sind Designs nötig, die über eingebaute Redundanz fehlertolerant arbeiten.

Vieles was gestern noch Utopie war, ist heute Realität. Wer hätte in den Zeiten der Kilo-Speicher die Entwicklung der Mega-Generation für möglich gehalten. Auch der Übergang von der Mega- zur Giga-Generation entspricht einem Leistungssprung über drei Größenordnungen. Teilnehmen an der Olympiade um die größten Sprünge werden aber nicht nur die Japaner – auch die Europäer sind mit von der Partie.

Dr. F. S. Becker, Dr. H. Föll
und K. Schlüter

Literatur

- [1] Becker, F. S.: „From 4M to 16M-DRAM Technology – Present Problems and Coming Challenges“. Proceedings of the IV SB MICRO (1989), S. 125. Porto Alegre, Brasil.
- [2] Maes, H. E., Groeseneken, G., Lebon, H., Witters, J.: „Trends in Semiconductor Memories“. Microelectronics Journal, Vol. 20, 1-2, S. 9, 1989.
- [3] Pribyl, W., Harter, J., Müller, W.: „Four Megabit Dynamic RAM in Submicron CMOS Technology with a FOBC Trench Cell“. Siemens Forsch. u. Entwickl. Ber., Band 16, 6, S. 253. Springer, 1987.
- [4] Widmann, D., Mader, H., Friedrich, H.: „Technologie hochintegrierter Schaltungen“. Springer, 1988.
- [5] Mitsuhashi, K., Ohtake, K., Koba, M., Awane, K. in: „VLSI Science and Technology“, Eds.: Broydo, S., Osborn, C.M. Electrochem. Soc. Proc., Vol 87, 11, S. 557 (1987)
- [6] Föll, H., Becker, F. S.: „Industrielle Entwicklung und Fertigung von Halbleiterbauelementen“. Tagungsband „Festkörperforschung für die Informationstechnik“ des 21. IFF vom 5. bis 16. März, 1990, S. 16.1 bis 16.79. Institut für Festkörperforschung, KFA Jülich.
- [7] Beinvoegel, W., Müller, W.: „Advanced Process Features for High Density DRAMs“. Proceedings of Solid State Devices Materials Conference, SSDM, S. 829. Sendai, Japan, August 1990.