

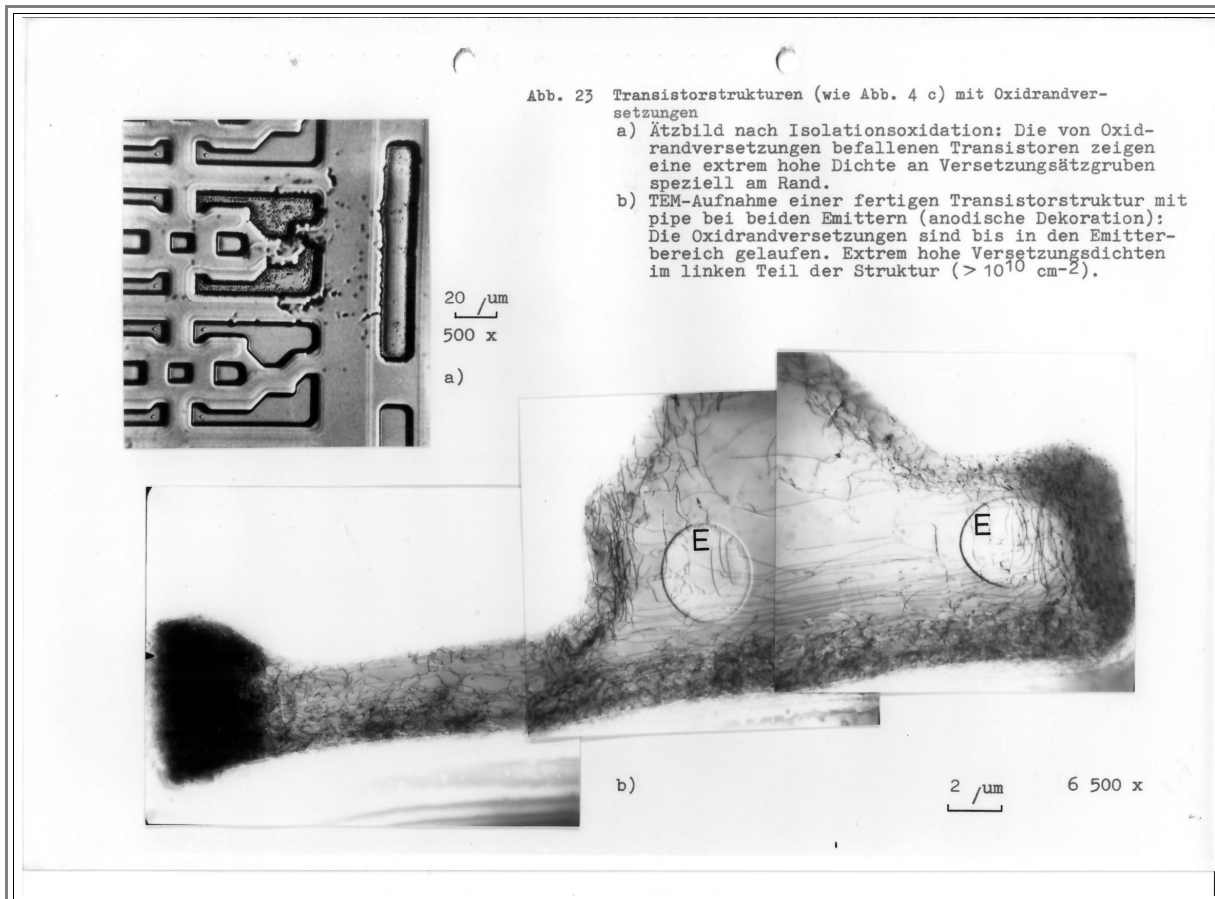
## Pictures to: Kristallfehler in hochintegrierten Schaltkreisen aus Silizium Part 2

### (Crystal Lattice Defects in Highly Integrated Silicon Devices)

In what follows you see the second part of the "Abbildungen" (Pictures) as they occur in the report. The scans were made from my still existing copy and some of the pictures were somewhat processed by me to improve clarity.

The figure captions are included so there is no need for further text.

Here we have Fig. 23 - Fig. 45



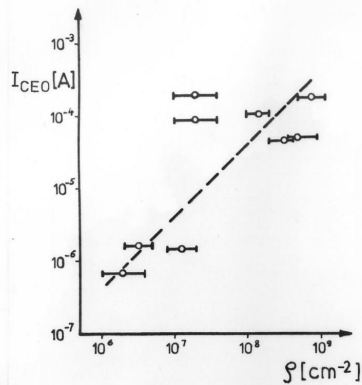


Abb. 24 Zusammenhang zwischen Emitter-Kollektor Sperrstrom  $I_{CE0}$  und Versetzungsdichte  $\rho$

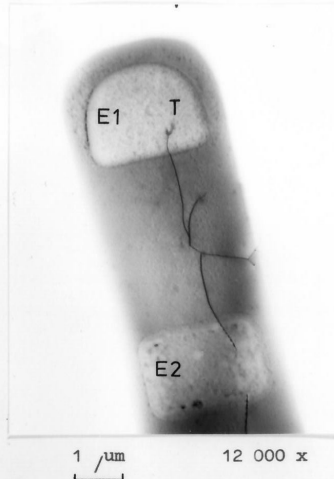
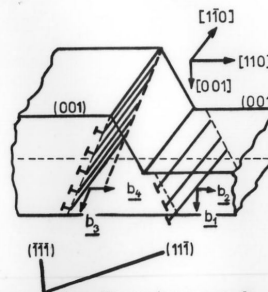
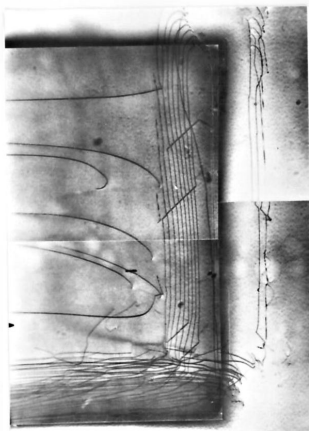
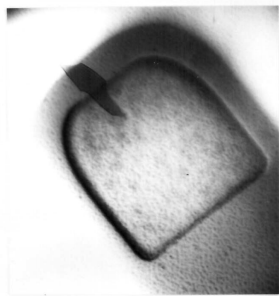


Abb. 25 TEM-Aufnahme eines Transistors mit oxidbegrenzten Emitttern (E1, E2), von dem ein Emittter (E1) ein pipe aufweist. Die anodische Dekoration hat bei E 1 bevorzugt an der Versetzung angegriffen (kleiner Trichter T erkennbar); die Versetzungen bei E 2 liegen unter dem Emitter- und Basisbereich.



Gleitebenen der Versetzungen

Abb. 26 Relativ übersichtliche Anordnung von Oxidrandversetzungen im Transistorbereich (im TEM-Bild dunkel) und unter der Oxidisolation (heller Bereich). Die Versetzungen liegen parallel zur Oxid-Nitridkante, gleiten auf  $(\bar{1}\bar{1}1)$  oder  $(11\bar{1})$  Ebenen ins Silizium, sind vom  $60^\circ$  Typ und haben Burgersvektoren, die  $45^\circ$  zur (001) Oberfläche geneigt sind (siehe Skizze).



1  $\mu\text{m}$  10 000 x

Abb. 27 "Oxidbegrenzter" Emitter mit pipe, das durch einen Stapelfehler am Rand der Oxidisolations verursacht wurde. (TEM)

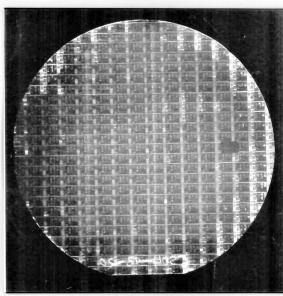


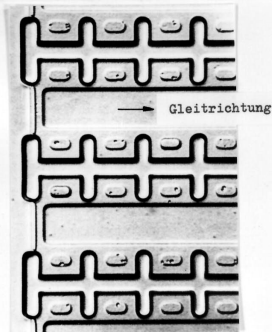
Abb. 28 LANG-Topogramm einer 3 D-OXIS-Scheibe: von Oxidrandversetzungen befallene Strukturen nur am Scheibenrand und vereinzelt im Mittelbereich der Scheibe.



a) 1  $\mu\text{m}$  10 000 x

Abb. 29 Versetzungsbögen in Emittlern mit Nitridrand (OXIS-Prozess)

a) Versetzungsbogen in einem Emitter mit pipe (TEM)  
b) Reihenartig angeordnete Ätzgrübchen in den Emittlern eines Multi-Emitter Testtransistors (Ätzbild); Entstehung in Abb. 32 erläutert.



b) 10  $\mu\text{m}$  900 x

- 117 -

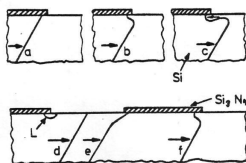


Abb. 30 Abspaltung von Versetzungsbögen an Nitridrändern von Emittlern bei Gleitung einer Stufenversetzung nach HU et al./44/

a) In Pfeilrichtung gleitende Stufenversetzung nähert sich dem Emittterrand; b) wird am Rand durch eine Gegenspannung im Oberflächenbereich gebremst, gleitet in der Tiefe aber gleich schnell weiter; c, d) spaltet schließlich eine Versetzungsschleife L ab; e) die Versetzung verläßt den Emitter; f) der Prozeß wiederholt sich.

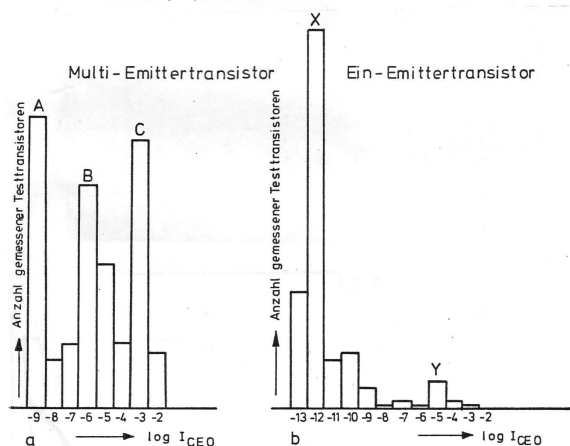
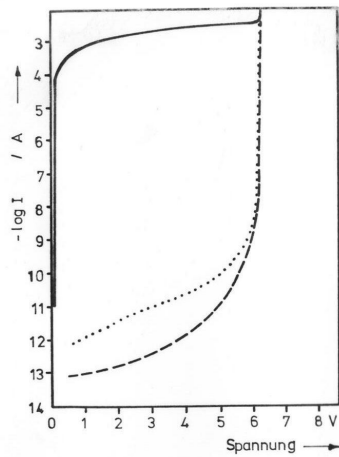
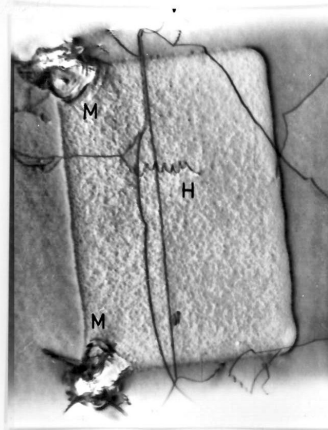


Abb. 31 Verteilung der Kollektor-Emitter-Sperrstromwerte  $I_{CEO}$  für Testtransistoren in 3 D-Oxis-Technologie

a) Multi-Emittertransistor mit 320 parallel geschalteten Emittlern mit 3 Häufungsbereichen von  $I_{CEO}$ : A, B, C  
b) Ein-Emittertransistor mit 2 Häufungsbereichen von  $I_{CEO}$ : X, Y.  
Die Bereiche A und X entsprechen den "guten" Transistoren, bei den Bereichen B, C und Y sind die erhöhten  $I_{CEO}$ -Werte durch Kristallfehler verursacht.



a)



b)

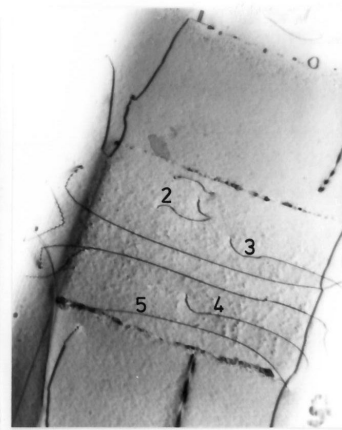
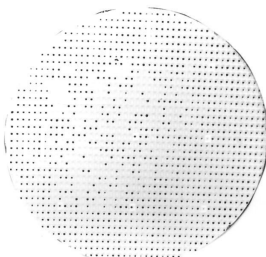
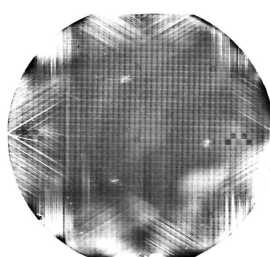


Abb. 32 Kennlinien von 3 D-OXIS Transistoren mit Emitter-Kollektor Kurzschluß (pipe)  
 $I_{CE0} / U_{CE}$  (—)  
 $I_{CB} / U_{CB}$  (---)  
 $I_{EB} / U_{EB}$  (...)

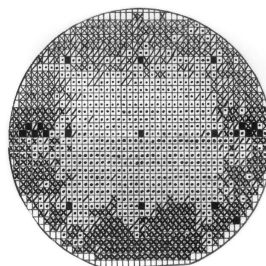
Abb. 33 TEM-Aufnahmen von typischen 3 D-OXIS Transistoren mit pipe, Emitter durch anodische Dekoration aufgerauht.  
 a) Transistor mit  $I_{CE0} = 10^{-4}$  A bei  $U_{CE} = 1,5$  V. Die beiden Mikrorisse M an den Ecken des Emitters und die helixartige Versetzung H schneiden beide pn-Übergänge.  
 b) Transistor mit  $I_{CE0} = 10^{-7}$  A bei  $U_{CE} = 1,5$  V. Nur die Versetzungen 2, 3, 4 und 5 durchstoßen beide pn-Übergänge.



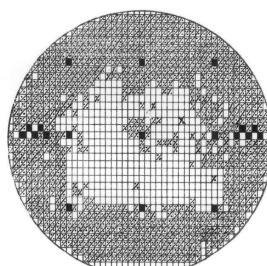
a)



b)



c)  $I_{CE0}/U_{CE}$ -Kennlinie  
 X ... mit pipe / ... rund  
 • ... hart



d) Emitter des Testtransistors  
 ☒ ... mit Versetzungs-  
 Ätzgruben  
 ☐ ... ohne Versetzungs-  
 Ätzgruben

Abb. 34 Schaltkreise in SBC-Technologie auf 3 " Scheiben  
 a) Systemausbeuteverteilung: schlechte Systeme durch dunkle Punkte gekennzeichnet ("geinkt")  
 b) LANG-Topogramm einer ähnlichen Scheibe mit ausgeprägten Gleitbereichen am Scheibenrand  
 c) Meßergebnis der Testtransistoren mit einem  $20 \times 40 \mu m^2$  großen Emitter, die in jedes System eingeblendet waren.  
 d) Ergebnis der Kristallfehlerätzung: die schlechten Testtransistoren enthalten mindestens eine Versetzung im Emitterbereich.

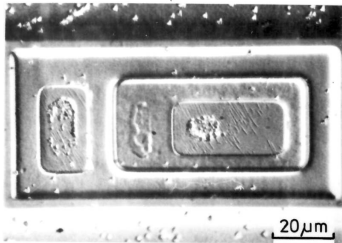
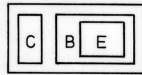
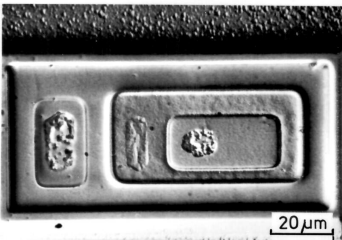


Abb. 35 Testtransistor in SBC-Technologie  
a) Auffallende Ätzstrukturen im Emitter eines Transistors mit pipe



C ... Kollektorkontakt  
B ... Basis  
E ... Emitter



b) Ätzbild eines guten Transistors

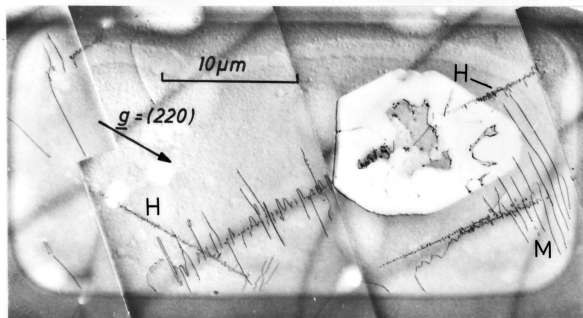
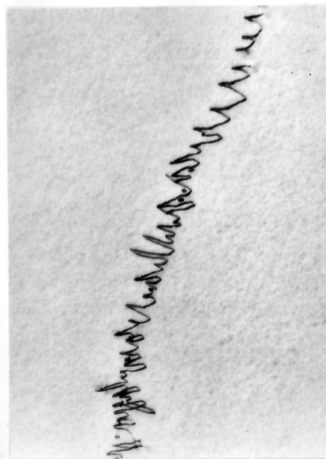


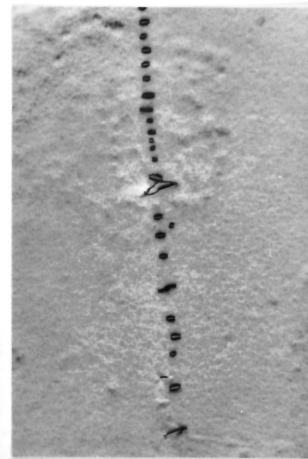
Abb. 36 TEM-Übersichtsbild des Emitters eines Transistors in SBC-Technologie mit pipe; helixartige Versetzungen H und oberflächenparallele Misfitversetzungen M; in der hellen Fläche war der Emitterkontakt einlegiert.



1 μm 18 000 x



1 μm 18 000 x



1 μm 25 000 x

Abb. 37 Typische Formen von helixartigen Versetzungen in Emitterbereichen von Transistoren in SBC-Technologie (TEM)  
a) Helixartige Versetzungen mit großem Windungsabstand und -durchmesser.  
b) Unregelmäßige Helixversetzung mit einzelnen dipolartigen Segmenten bis zu 1 μm Länge, die steil in die Tiefe verlaufen.  
c) In eine Reihe von coaxialen Versetzungsringen aufgelöste Helixversetzung.

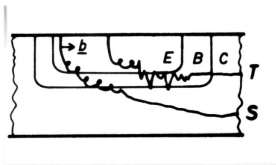
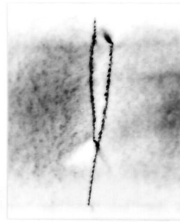


Abb. 38 Räumlicher Verlauf der helixartigen Versetzungen im Transistor (schematisch). Die Helixversetzungen S und T verursachen ein pipe.



0,5 µm 32 000 x

Abb. 39 Durch ca. 10 - 30 nm große Ausscheidungen dekorierte Versetzungen in einem Transistor mit pipe (TEM)

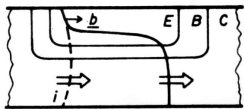


Abb. 40 Entstehungsmechanismus der Schraubenversetzungen im Emitterbereich der Transistoren: Unterschiedliche Gleitgeschwindigkeit der Stufenversetzung (in Pfeilrichtung) im hoch phosphordotierten Emitter und im schwach dotierten Bereich darunter erzeugt ein Versetzungsstück mit überwiegendem Schraubencharakter (Burgers-Vektor nahezu parallel zur Versetzungslinie).

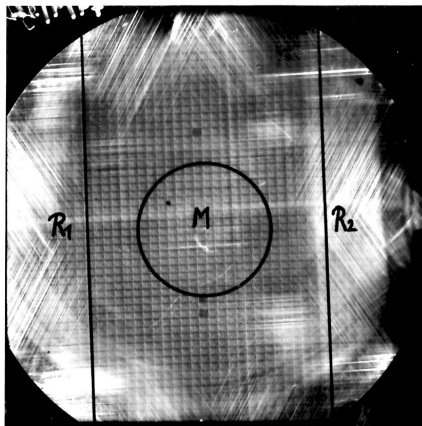


Abb. 41 LANG-Topogramm einer 2 " Scheibe mit ausgedehnten Gleitbereichen am Scheibenrand. In den Bereichen R1 und R2 mit hoher Versetzungsdichte fielen 55 % der gekapselten Schaltkreise wegen zu hoher Prasselspannung aus. Im gleitungsfreien Bereich M wurden nur 5 % Prasselausfälle festgestellt.



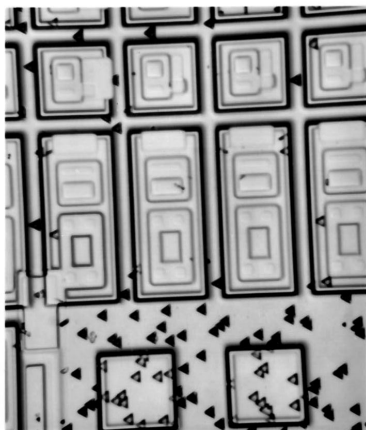


Abb. 42 Ätzbild einer 3 " Scheibe mit fertigen Schaltkreisen in SBC-Technologie: Epitaxie-Stapelfehler (dreieckige Ätzfiguren) treten fast nur außerhalb der buried layer diffundierten Bereiche auf.



Abb. 43 TEM-Aufnahmen von mikrorißartigen Defekten in Emittern von Höchstfrequenztransistoren: Der über 10 μm lange Mikroriß in a) verursachte ein massives pipe. In b) ist eine Vorstufe eines Mikrorisses abgebildet, die noch kein pipe ergeben hat.

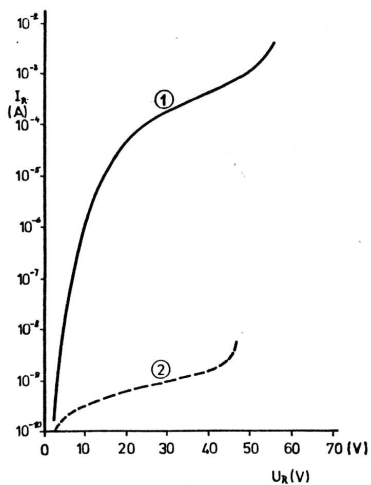


Abb. 44 Sperrkennlinie einer diffundierten Diode bei Raumtemperatur  
1 mit Stapelfehlern  
2 ohne Stapelfehler

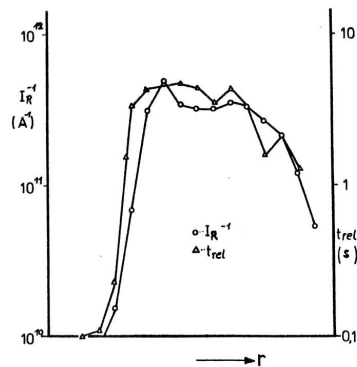


Abb. 45 Reziproker Sperrstrom  $I_R^{-1}$  und Speicherzeit  $t_{rel}$  an einer eng benachbarten Dioden- bzw. MOS-Kondensatorstruktur in jedem Chip über den Durchmesser einer 2 1/4 " Scheibe hinweg gemessen.

[Continue with Fig. 45 - 71](#)