

6. Vermeidung von Kristallfehlern

Wie in Abschnitt 4 diskutiert, können Kristallfehler schädliche Auswirkungen auf elektrische Eigenschaften von Bauelementen in dreierlei Weise ausüben:

- a) Durch direkte Beeinflussung der Ladungsträgergeneration oder -rekombination.
- b) Durch ihre Wirkung als Senken für Verunreinigungen, die ihrerseits dann eine lokal erhöhte Generation oder Rekombination verursachen.

- c) Durch ihre Beeinflussung der Diffusionsgeschwindigkeit von Dotieratomen, die zur Bildung von Diffusions-pipes bei bipolaren Transistoren führen kann.

Um den Einfluß der Kristallfehler über die Verunreinigungen zu eliminieren, könnte man durch nachträgliche Getterung⁺) die an den Kristallfehlern angelagerten Fremdatome entfernen und so eine graduelle Verbesserung von elektrischen Parametern, z.B. Sperrstrom, Speicherzeit, erzielen. Dadurch kann man aber nicht z.B. "echte" Diffusionspipes verhindern /74/. Daher erschien uns der Weg besser, die Bildung von Kristallfehlern bei den technologischen Prozessen von vorneherein zu vermeiden. Im folgenden wird auch hauptsächlich dieser Weg diskutiert.

Da Stapelfehler und Versetzungen verschiedene Entstehungsursachen haben, müssen zu ihrer Vermeidung auch meist unterschiedliche Maßnahmen getroffen werden. Tab. IV gibt eine Übersicht der wesentlichen bisher bekannten Maßnahmen zur Vermeidung von Kristallfehlern und Verhinderung des Einschleppens von Verunreinigungen. Die Durchführung solcher Maßnahmen ermöglichte in vielen Fällen eine drastische Absenkung der Kristallfehlerdichten.

6.1. Vermeidung von Versetzungen

6.1.1. Ofenprozesse (Oxidation, Diffusion)

Große Temperaturgradienten bei Ofenprozessen können durch langsames Ein- und Ausfahren der Scheiben in den Ofen ver-

⁺) Der Begriff Getterung stammt aus dem Bereich der Elektronenröhren. Bei Halbleiterbauelementen versteht man darunter das "Absaugen" von unerwünschten Fremdatomen aus den elektrisch aktiven Zonen in elektrisch inaktive Bereiche. Die nachträgliche Getterung von Schwermetallen mit z.B. Phosphorglasschichten auf den Scheiben wird in der Halbleitertechnik schon lange praktiziert.

Tabelle IV

Maßnahmen zur Vermeidung von Kristallfehlern und Verunreinigungen

Prozeß	Stapelfehler	Versetzungen	Verunreinigungen
Epitaxie	HCl-Ätzung vor der Si-Abscheidung	<ul style="list-style-type: none"> a) strahlungsbeheizter Reaktor (z. B. Barrel-Reaktor) b) SiH₄-Verfahren bei 1050 °C 	Keine Metallpinzetten
Oxidation Diffusion	<ul style="list-style-type: none"> 1) Prozeßvariationen <ul style="list-style-type: none"> a) Temperaturabsenkung b) Cl-Zugabe bei der Oxidation 2) Rückseitengetterung durch <ul style="list-style-type: none"> a) Phosphordiffusion b) Siliziumnitrid c) Ionenimplantation d) mechanische Gitterschädigung z. B. durch Sägen, Lappen, Sandstrahlen e) polykristallines oder amorphes Silizium 	<ul style="list-style-type: none"> 1) Aufheiz- und Abkühlprogramm z. B. "ramping" 2) Eliminierung von Versetzungsquellen (Ausbrüche, Kratzer usw.) 3) niedrige Prozeßtemperaturen 	<ul style="list-style-type: none"> 1) HCl-Spülung der Quarzrohre 2) niedrige Prozeßtemperaturen 3) Getterung durch <ul style="list-style-type: none"> a) Phosphorglasschichten u. ä. b) Rückseitengetterschichten wie für Stapelfehler c) Sauerstoffausscheidungen in Tiegel-silizium-Substratscheiben

mieden werden, wobei der Ofen auf konstanter Temperatur bleibt. Dieses Verfahren hat den Nachteil, daß die Scheiben, die zuerst in den Ofen einfahren, auch zuletzt ausfahren und somit eine längere Temperaturbehandlung mitmachen. Dies führt zu Schwankungen von Oxiddicken und Diffusionseindringtiefen innerhalb einer Horde.

Heute wird deshalb vielfach "ramping" praktiziert. Dabei werden die Scheiben bei einer relativ niedrigen Ofentemperatur rasch in den Ofen ein- und ausgefahren und der Ofen langsam auf die Prozeßtemperatur gebracht bzw. nachher abgekühlt. Alle Scheiben sehen dann die gleiche Temperaturbehandlung. Prozeßlinien, in denen "ramping" für Prozesse bei höheren Temperaturen ($>1000^{\circ}\text{C}$) eingeführt wurde, liefern Schaltkreisscheiben mit sehr geringen Gleitliniendichten (siehe z.B. 5.1.1.).

Bei Anwendung niedrigerer Prozeßtemperaturen sind die Temperaturgradienten in der Aufheiz- und Abkühlphase auch geringer.

6.1.2. Epitaxie-Prozeß

Fast völlige Gleitlinienfreiheit konnte durch Einsatz von strahlungsbeheizten Reaktoren wie z.B. dem Barrel-Reaktor erzielt werden. Bei diesem treten weitaus geringere Temperaturgradienten zwischen Vorder- und Rückseite der Scheiben auf als bei Reaktoren mit Suszeptorheizung. Sehr niedrige Gleitliniendichten wurden auch mit dem SiH_4 -Verfahren bei 1050°C erreicht. Dieses Verfahren ist wegen der geringen Abscheideraten allerdings nur für dünne Epitaxieschichten geeignet.

6.1.3. OXIS-Prozeß

Wie schon in 5.2. diskutiert, spielen bei der Entstehung der Oxidrandversetzungen zwei Komponenten zusammen:

- mechanische Spannungen an der Oxid-Nitridkante
- potentielle Versetzungsquellen

Im Rahmen dieses Vorhabens waren wir vor allem bemüht, einen Großteil der Versetzungsquellen zu eliminieren. So konnten z.B. die durch Schleierdefekte und Randgleitung induzierten Oxidrandversetzungen drastisch reduziert bzw. völlig vermieden werden.

Trotz dieser beträchtlichen Verbesserungen tragen die Oxidrandversetzungen weiterhin zu erheblichen Ausbeuteverlusten bei. Im Rahmen des Anschlußprojektes NT 0947 wollen wir uns u.a. mit der endgültigen Beseitigung dieser Fehler befassen, da diese Technologie auch für bipolare VLSI-Bausteine verwendet werden wird.

6.2. Vermeidung von Stapelfehlern

Zur Vermeidung von Stapelfehlern kann man zwei grundsätzlich verschiedene Wege einschlagen:

- a) Variation der Prozeßparameter
- b) Einbau einer aktiven Schicht meist in die Scheibenrückseite ("Rückseitengetterung")

Beim ersten Weg versucht man die Prozesse unter Bedingungen durchzuführen, unter denen die Entstehung von Stapelfehlern erschwert ist. Beim zweiten Weg greift man in den Punktdéfekthaushalt der Scheiben ein, d.h. man schafft Senken für Eigenfehlstellen und Fremdatome in nicht elektrisch aktiven Bereichen der Scheibe wie z.B. der Rückseite. Eine wichtige Voraussetzung für beide Wege ist aber, daß man die Zahl der möglichen Keime an der Systemseite der Scheiben möglichst gering hält, d.h. damagefreie, saubere Oberflächen und möglichst kristallfehlerfreie Substratscheiben.

6.2.1. Variation der Prozeßparameter

6.2.1.1. Epitaxie-Prozeß

Bei der Epitaxie konnten die Stapelfehlerdichten durch Anwendung einer kurzen HCl-Ätzung drastisch abgesenkt werden, z.B. von 10^5 cm^{-2} auf $< 10^2 \text{ cm}^{-2}$. Durch Scheibenhand-

habung ohne Metallpinzetten beim Be- und Entladen der Reaktoren konnten die gefährlichen Schleierdefekte vollständig vermieden werden.

6.2.1.2. Niedrige Oxidations- und Diffusionstemperaturen

Durch Absenken der Dickoxidationstemperatur bei MOS-Schaltkreisen von 1100°C auf 970°C konnte die Länge der Stapelfehler von ca. $25\ \mu\text{m}$ auf $5\ \mu\text{m}$ reduziert werden, auch die Dichte verringerte sich deutlich z.B. auf ein Zehntel des ursprünglichen Wertes.

6.2.2. Einbau einer Rückseitengetterschicht

Die Getterschicht sollte möglichst vor dem ersten Hochtemperaturprozeß an der Scheibenrückseite erzeugt werden und über sämtliche Hochtemperaturprozesse hinweg wirksam bleiben. Sie soll bei den Hochtemperaturprozessen atomare Fehlstellen wie Si-Zwischengitteratome, Leerstellen und unerwünschte Fremdatome z.B. Metalle aufsaugen und festhalten. Dadurch kann die Bildung von Stapelfehlern und eine gleichzeitig oder später erfolgende Anlagerung von Fremdatomen weitgehend verhindert werden.

Rückseitengetterschichten lassen sich erzeugen durch:

- Phosphordiffusion /75/
- Abscheidung einer Siliziumnitridschicht /76/
- Ionenimplantation /77/
- Mechanische Gitterschädigung z.B. durch Sägen, Lappen, Sandstrahlen /78/ oder Impact Sound Stressing (ISS) /79/
- Abscheidung von polykristallinem oder amorphem Silizium /80/.

Unter all diesen Getterschichten erhielten wir bei weitem die besten Ergebnisse mit der Phosphorgetterung. Dieser Befund deckt sich mit Ergebnissen, die inzwischen in der Literatur veröffentlicht wurden /81/.

6.2.2.1. Phosphorgetterung

Versuche mit einer Phosphorrückseitengetterschicht wurden bei bipolaren und MOS-Schaltkreisen durchgeführt. Ein Nachteil dieser Methode ist das Ausdampfen des Phosphors aus der Scheibenrückseite bei späteren Hochtemperaturprozessen. Als Ausweg kann man die Phosphorschicht zu decken, z.B. mit Oxid oder Nitrid. Dies verkompliziert den Fertigungsprozeß aber erheblich.

Bei der bipolaren ASBC-Technologie wurde wegen des Ausdampfens des Phosphors deshalb diese Phosphordiffusion in die Scheibenrückseite erst nach dem Epitaxieprozeß durchgeführt, und zwar in Form einer verstärkten Kollektortiefdiffusion bei 1100°C /82/. In der ca. 3 bis 4 μm tiefen Phosphorschicht war dann meist nur ein sehr schwach ausgebildetes Netzwerk von Fehlpassungsversetzungen, das durch Kletterprozesse entstanden war, im TEM zu sehen (im Transmissions-Röntgentopogramm waren diese sehr oberflächennahen Misfitversetzungen meist nicht sichtbar).

Durch diese Maßnahme wurde eine deutliche Systemausbeuteerhöhung erzielt. Die Stapelfehler- und Versetzungsdichte verringerte sich durch diese Maßnahme allerdings nicht merklich, denn die großen Stapelfehler und Gleitversetzungen hatten sich schon in den vorhergehenden Prozessen entwickelt. Wir führen daher diese Verbesserung hauptsächlich auf ein Absaugen der metallischen Verunreinigungen von den Kristallfehlern zurück.

Bei MOS-Schaltkreisen in n-silicon-gate-Technologie wurde die Phosphordiffusion vor allen Prozessen beidseitig⁺) oder nur auf der Rückseite - Vorderseite mit Oxid abgedeckt - eingebracht. Hier konnte bei einer Eindringtiefe des Phosphors von ca. 5 μm ein dichtes Misfitversetzungsnetzwerk auch röntgentopographisch gefunden werden.

⁺) Auf einer Seite wurde die Phosphordiffusionsschicht dann abpoliert.

Bei der anschließenden Dickoxidation traten bei solchen Scheiben praktisch keine Stapelfehler mehr auf. Dies konnte an halbseitig Phosphor-diffundierten Scheiben demonstriert werden. Abb. 69 zeigt das Ätzbild einer solchen Scheibe. Auf der Scheibenseite ohne P-Diffusion in der Rückseite wurden ca. 10^5 Stapelfehler/cm² ausgezählt, auf der Seite mit P-Diffusion in der Rückseite ist die Stapelfehlerdichte praktisch null.

Die an MOS-Kondensatoren bei solchen Scheiben gemessenen Speicherzeiten lagen ähnlich hoch oder höher als jene von stapelfehlerfreien Kondensatoren in ungegetterten Scheiben (Abb. 47). Auch die Temperaturabhängigkeit der Speicherzeit zeigte einen ähnlichen Verlauf wie bei stapelfehlerfreien Kondensatoren (Abb. 47).

Phosphor-gegetterte 4096 bit-Speicherbausteine enthielten ebenfalls praktisch keine Stapelfehler mehr. Die an ihnen festgestellten Refreshzeiten lagen um Faktor 10 und mehr höher als bei den ungegetterten Systemen. Ähnlich verbessert waren auch die Systemausbeuten bei den gegetterten Scheiben.

Bei Phosphor-gegetterten Scheiben wurde nach weiteren Hochtemperaturschritten oft beobachtet, daß Versetzungen aus dem Netzwerk der Fehlpassungsversetzungen in der Phosphorschicht durch die Scheiben hindurch bis an die Systemseite gelaufen waren. Ursache waren sicher mechanische Spannungen in der Aufheiz- und Abkühlphase der Scheiben während dieser Folgeprozesse. Diese Versetzungen zeigten keinerlei erkennbare Auswirkungen auf die elektrischen Eigenschaften der Speicherbausteine.

6.2.2.2. Getterung mit Nitridschichten

Mit dieser Methode führten wir einige Versuche bei bipolaren Schaltkreisen durch, die nicht erfolgreich verliefen.

6.2.2.3. Implantierte Getterschichten

Versuche mit Ar^+ - und As^+ -Implantationen (Dosis ca. 10^{16} cm^{-2}) in die Scheibenrückseite wurden bei bipolaren Schaltkreisen in ASBC-Technologie durchgeführt /83/. Die Implantationen wurden nach verschiedenen Stadien im Prozeß vorgenommen, die jedoch alle nach dem Epitaxieprozeß lagen. Am günstigsten erwies sich die Implantation vor der Basisdiffusion. Die Ausbeuteverbesserungen lagen aber deutlich unter den Verbesserungen, die mit der Phosphorgetterung über die verstärkte Kollektortiefdiffusion erzielt wurden.

Bei MOS-Bausteinen wurden mit Ar^+ -implantierten Rückseiten keine Verbesserungen der Speicherzeiten und Systemausbeuten erzielt.

6.2.2.4. Polykristallines oder amorphes Silizium als Getterschicht

Bei MOS-Speichern wurde ein Versuch mit einer auf jeweils die halbe Scheibenrückseite aufgedampften Schicht von amorphem Silizium (ca. $0,7 \mu\text{m}$ dick) unternommen. Bei einem Teil der Scheiben wurde eine deutlich höhere Systemausbeute auf der Silizium-bedampften Hälfte festgestellt.

7. Verunreinigungen in den Schaltkreisen: Analyse, Quellen und Vermeidung

Wie mehrfach in den Abschnitten 4, 5 und 6 diskutiert, spielen neben den Kristallfehlern auch die Verunreinigungen eine wichtige Rolle für die Ausbeute bei integrierten Schaltkreisen.

Als Quelle für Verunreinigungen kommen in Frage:

- 1) das Silizium-Ausgangsmaterial
- 2) die Bauelemente-Prozesse.

7.1. Verunreinigungen im Silizium-Ausgangsmaterial

Hauptverunreinigungen in Silizium-Ausgangsmaterial sind Sauerstoff und Kohlenstoff, wenn man von den absichtlich eingebrachten Dotierelementen absieht. In tiegelgezogenem Silizium bewegen sich die Sauerstoffgehalte heute zwischen 10^{17} und 10^{18} cm^{-3} , die Kohlenstoffgehalte zwischen 10^{16} und 10^{17} cm^{-3} . In zonengezogenem Silizium liegt der Sauerstoffgehalt um 10^{15} bis 10^{16} cm^{-3} , der Kohlenstoffgehalt um $<5 \cdot 10^{15}$ bis $5 \cdot 10^{16} \text{ cm}^{-3}$. Die Gehalte an Metallverunreinigungen wie Cu, Fe, Au usw. liegen deutlich unter 10^{13} cm^{-3} .

Sauerstoff und Kohlenstoff führen normalerweise zu keiner Verschlechterung der Bauelementeeigenschaften, da sie Ausscheidungen und dadurch induzierte Kristallfehler bei integrierten Schaltkreisen nur im elektrisch nicht aktiven Substratscheibenvolumen verursachen. Dagegen können diese Verunreinigungen bei Leistungsbaulementen zu erheblichen Ausbeuteverlusten beitragen /56/.

7.2. Einschleppen von Verunreinigungen bei den Bauelementeprozessen

Durch mehrere Untersuchungen mit der Neutronenaktivierungsanalyse konnten wir zeigen, daß die metallischen Verunreinigungen, z.B. Cu und Fe, die in den fertigen Schaltkreisscheiben in Mengen bis zu 10^{15} cm^{-3} gefunden wurden, erst im Laufe der Hochtemperaturprozesse in die Scheiben kamen.

Die beim Epitaxieprozeß über die Metallpinzetten eingeschleppten Verunreinigungen wurden schon ausführlich in Abschnitt 5.5. besprochen.

Bei den Ofenprozessen ließ sich eine Tendenz erkennen, daß mit zunehmender Prozeßtemperatur die Konzentration der eingeschleppten Verunreinigungen zunimmt.

Abb. 70a,b gibt Ergebnisse an MOS-Schaltkreisscheiben wieder, die mit unterschiedlicher Oxidationstemperatur

(950°C, 1100°C) hergestellt worden waren. In den Scheiben mit 1100°C Oxidationstemperatur liegt der mittlere Cu-Gehalt im Scheibenvolumen bei ca. $3 \cdot 10^{14} \text{ cm}^{-3}$, in den bei 950°C oxidierten Scheiben bei ca. $5 \cdot 10^{12} \text{ cm}^{-3}$. In den elektrisch aktiven Bereichen an der Systemseite klettern die Verunreinigungsgehalte noch um ca. 2 Größenordnungen höher, dasselbe gilt auch für die Scheibenrückseite.

Ähnliche Ergebnisse wurden auch für bipolare Schaltkreisscheiben erhalten.

Für diese Verunreinigungen kommen mehrere Quellen in Frage. Bei der Ionenimplantation können von strahlbegrenzenden Blenden Fe, Cr, Ni und Co abgetragen werden und auf die Scheibenoberfläche gelangen /84/. Ebenso enthalten viele Chemikalien metallische Spurenverunreinigungen, die bei Ätz- und Reinigungsprozessen an der Scheibenoberfläche abgeschieden werden und bei nachfolgenden Temperaturprozessen eindiffundieren. Eine weitere Quelle sind die Oxidations- und Diffusionsöfen.

Die absoluten Mengen an Verunreinigungen, die man braucht, um solche Verunreinigungskonzentrationen in den Scheiben zu bekommen, sind sehr gering. Mit 1 mg Eisen kann man z.B. 10000 Scheiben mit 3" Durchmesser und 500 µm Dicke mit einer mittleren Konzentration von ca. $1 \cdot 10^{15} \text{ cm}^{-3}$ verunreinigen.

Da sich diese Verunreinigungen bevorzugt an Kristallfehlern anlagern und zu der beschriebenen Verschlechterung elektrischer Parameter führen, ist es notwendig, ihre Konzentration bei den Bauelementeherstellungsprozessen möglichst niedrig zu halten.

7.3. Vermeidung von Verunreinigungen

Ähnlich wie bei Stapelfehlern (6.2.) kann man zur Vermeidung von Verunreinigungen zwei Wege einschlagen:

- a) sauberes Arbeiten bei den einzelnen Prozeßschritten
- b) Gettern.

Sauberes Arbeiten lohnt sich immer, ist aber nicht so einfach zu realisieren, wenn man die Quellen der Verunreinigungen nicht kennt. Zu den Maßnahmen für sauberes Arbeiten gehören: das Vermeiden von Metallpinzetten bei der Handhabung der Scheiben im Prozeß, Verwendung von Chemikalien mit geringen Konzentrationen an metallischen Verunreinigungen, saubere Gase, regelmäßiges Spülen von Oxidations- und Diffusionsrohren mit HCl-Gaszusatz zum Trägergas usw.

Die in 6.2.2. aufgezählten Rückseitengetterschichten sind auch Senken für metallische Verunreinigungen. Am besten eignet sich auch hier wie zur Vermeidung von Stapelfehlern die Phosphorgetterung. Dies bestätigten neben den elektrischen Messungen an Schaltkreisen und Teststrukturen auch die radiochemischen Analysen. Bei MOS-Schaltkreisscheiben mit einer 5 µm tiefen Phosphordiffusionsschicht in der Rückseite lag der Cu-Gehalt im Scheibenvolumen unter der Nachweisgrenze der Aktivierungsanalyse von ca. $3 \cdot 10^{11} \text{ cm}^{-3}$ (Abb. 70c). In der Phosphorschicht wurden aber Cu-Gehalte von über 10^{16} cm^{-3} festgestellt. Erhöhte Cu-Gehalte waren auch in Phosphor-diffundierten Bereichen an der Systemseite nachweisbar, während die eigentlichen elektrisch aktiven Bereiche bei z.B. MOS-Schaltkreisen keine nachweisbaren Schwermetallgehalte aufwiesen. Ähnlich wie andere Autoren /85/ haben wir festgestellt, daß das Aufnahmevermögen bzw. die Löslichkeit für Schwermetalle mit steigender Phosphorkonzentration zunimmt. Dabei spielte es keine Rolle, ob ein Fehlpassungsversetzungsnetzwerk in der Phosphorschicht entstanden war oder nicht. Der eigentliche Mechanismus dieser Getterwirkung hängt sicherlich mit der erhöhten Konzentration an atomaren Fehlstellen im hochdotierten Phosphorbereich zusammen, ist aber im einzelnen noch nicht geklärt.

Die Getterwirkung der Sauerstoffausscheidungsdefekte ist ein Eigengettereffekt ("intrinsic gettering") bei tiegel-

gezogenem Substratmaterial. Diese Defekte bleiben ja auf das elektrisch nicht aktive Substratvolumen beschränkt (siehe 5.1.4.), so daß hier die Anreicherung von Verunreinigungen zu einer erwünschten Verarmung derselben im Bereich der aktiven Systeme führt.

Ein Beispiel für diesen Gettereffekt der Sauerstoffausscheidungen im Substratmaterial zeigt Abb. 71. In Abb. 71a ist die Ausbeuteverteilung eines Einzeltransistors auf einer 2"-Scheibe wiedergegeben. Die aktiven Bereiche dieses Einzeltransistors liegen in einer ca. 15 μm dicken Epischicht über dem Substrat. Abb. 71b zeigt die Verteilung der Kristallfehler im Substrat, also unterhalb der aktiven Transistorbereiche. Das (dunkle) Muster der schlechten Transistoren (zu hoher Basis-Kollektor-Sperrstrom) und das (helle) Muster der Sauerstoffausscheidungsdefekte sind zueinander komplementär, d.h. gute Transistoren in der Epischicht sind dort, wo im Substrat Sauerstoffausscheidungen entstanden waren. Da wir keinen Unterschied zwischen der Kristallfehlerdichte in den guten und schlechten Transistoren feststellen konnten, führen wir den zu hohen Sperrstrom der schlechten Transistoren auf an den Kristallfehlern angelagerte Verunreinigungen zurück. Da die Entstehung der Sauerstoffausscheidungen entscheidend von Eigenschaften des Substratmaterials beeinflußt wird, lassen sich mit diesem Getterverfahren heute noch keine reproduzierbaren Ergebnisse erzielen.

8. Zusammenfassung

Die Ausbeute von integrierten Schaltungen wird von einer Reihe völlig unterschiedlicher Faktoren bestimmt. Lokale Fehlfunktionen von Schaltungen werden vor allem durch drei Fehlerarten hervorgerufen:

Fototechnikfehler
Metallisierungsfehler und
Kristallfehler.

Im Rahmen des vorliegenden Projektes NT 665 wurden ausschließlich die Kristallfehler als ausbeutemindernder Faktor untersucht.

Die Untersuchungen erstreckten sich auf bipolare Schaltkreise in SBC (Standard Buried Collector)-, ASBC (Advanced Standard Buried Collector)- und OXIS (Oxidisations)-Technologie sowie MOS-Schaltkreise in n-Kanal-silicon-gate-Technologie.

An speziellen Teststrukturen oder an den Schaltkreisen wurden statische und dynamische elektrische Parameter gemessen und die prozeßinduzierten Kristallfehler erfaßt.

In Tab. V ist zusammengestellt /86/, welche elektrischen Parameter bei bipolaren und MOS-Bauelementen durch Kristallfehler beeinflußt bzw. verschlechtert werden.

Bei den bipolaren Schaltkreisen mit kleinen Basisweiten ($< 0,5 \mu\text{m}$) verursachen die Kristallfehler vor allem Emitter-Kollektor-Kurzschlüsse ("pipes"). Dabei war die Form der Emitter-Kollektor-Sperrkennlinie (hart, rund, mit pipe) ein wesentliches Beurteilungskriterium. Daneben erwies sich die anodische Dekoration bei der Erfassung von pipes als äußerst wertvolle und handliche Methode. Bei manchen Schaltkreistypen wurde auch der Einfluß der Kristallfehler auf die Prasseleigenschaften untersucht.

Tabelle V

Verschlechterung von elektrischen Parametern durch Kristallfehler

Bipolare Bauelemente		MOS-Bauelemente	
Dioden	Transistoren	MOS-Kondensatoren	dynamische Bauelemente
<ul style="list-style-type: none"> - verminderte Sperrfähigkeit - "Runde" Kennlinien 	<ul style="list-style-type: none"> - Emitter-Kollektor - Kurzschlüsse ("pipes") - "Runde" Kennlinien - schlechte Prasseleigenschaften 	<ul style="list-style-type: none"> hohe Leckströme: <ul style="list-style-type: none"> - Verringerung der Speicherzeit 	<ul style="list-style-type: none"> hohe Leckströme: <ul style="list-style-type: none"> - Refreshausfälle bei Speichern - hoher Dunkelstrom bei charged coupled devices (CCD) - hohe Verlustleistungen

Bei MOS-Schaltkreisen beeinflussten die Kristallfehler praktisch nur die dynamischen Eigenschaften. Als Beurteilungskriterien wurden vor allem die Speicherzeiten von MOS-Kondensatoren und das Refreshverhalten eines dynamischen 4096 bit-Speicherbausteins herangezogen.

Zur Erfassung und Charakterisierung der Kristallfehler setzten wir die SIRTIL-Ätzung, Röntgentopographie und Transmissions-Elektronenmikroskopie (TEM) ein. Die Ätzung und Röntgentopographie dienten hauptsächlich zur routinemäßigen Erfassung der Kristallfehler in den Schaltkreisscheiben. Die Röntgentopographie als zerstörungsfreie Methode setzten wir auch in großem Umfang zur Prozeßverfolgung ein. Wir konnten dadurch die Entstehung und Veränderung von Kristallfehlern während aufeinanderfolgender Prozeßschritte an ein und derselben Scheibe studieren. Die Detailuntersuchungen an den Kristallfehlern führten wir mit der Transmissions-Elektronenmikroskopie durch. Hier nutzten wir durch die Zusammenarbeit mit dem MPI für Metallforschung in Stuttgart die großen Vorteile der Hochspannungs-Elektronenmikroskopie, die diese im Vergleich zur konventionellen Elektronenmikroskopie auszeichnen (Abschn. 2.3.). Die Kristallfehleruntersuchungen wurden durch radiochemische Analysen der metallischen Verunreinigungen in den Schaltkreisscheiben ergänzt.

Die in den Schaltkreisen beobachteten prozeßinduzierten Kristallfehler bestanden praktisch immer aus

- Versetzungen,
- Stapelfehlern,
- Ausscheidungen

oder Kombinationen dieser drei Defekttypen. Die Entstehungsursachen und die kristallographischen Formen und Anordnungen dieser Defekte waren allerdings zum Teil sehr technologiespezifisch.

Bei der ASBC-Technologie traten hauptsächlich Versetzungen in Gleitbereichen am Scheibenrand, Sauerstoffausscheidungen im Substratscheibenvolumen und Stapelfehler in Erscheinung. Große Stapelfehler (5 bis 25 μm lang, 1,5 bis 3 μm tief) kamen statistisch und/oder in Form sog. Schleier (Anhäufung von Mikrodefekten) in Konzentrationen bis zu 10^6 cm^{-2} vor. Kleine flache Stapelfehler (ca. 2 μm lang und 0,4 μm tief) wurden oft in Konzentrationen bis zu $5 \cdot 10^7 \text{ cm}^{-2}$ in den Basis- und Emitterbereichen gefunden. Mit TEM stellten wir fest, daß unter den großen Stapelfehlern sehr viele Mehrfachstapelfehler und öfters auch Mikrozwillinge auftraten. Etwa 1 % der kleinen Stapelfehler wies die Form eines Segelbootkörpers auf und drang bis zu 2 μm tief ein.

Zwischen diesen Kristallfehlern und Emitter-Kollektor-Kurzschlüssen gab es zum Teil klare Korrelationen: Segelboot-Stapelfehler, Mikrozwillinge und Mehrfachstapelfehler führten immer zu pipes, wenn sie beide Transistor-pn-Übergänge durchstießen. Das gleiche galt für Versetzungen. Einfache große Stapelfehler verursachten nur in 30 bis 50 % der untersuchten Fälle ein pipe. Zwischen den Sauerstoffausscheidungen im Substratvolumen und pipes war kein Zusammenhang feststellbar.

Bei der OXIS-Technologie stellten die sog. Oxidrandversetzungen das Hauptproblem dar. Bei Schaltkreisen in dieser Technologie wird die elektrische Trennung der einzelnen Transistorbereiche nicht durch eine Isolationsdiffusion wie bei der SBC- und ASBC-Technologie, sondern durch eine Isolationsoxidation mit Nitridmaskierung der aktiven Transistorbereiche erreicht. Bei diesem Prozeßschritt treten sehr große mechanische Spannungen an den Oxid-Nitridrändern der Schaltkreisstrukturen auf. Diese führen aber nur dann zu Oxidrandversetzungen, wenn Versetzungsquellen im verspannten Kristallbereich verfügbar sind. Dabei spielt die Kristallqualität der Epitaxieschicht eine entscheidende Rolle. Bei einem OXIS-Prozeß ohne Epitaxieschicht (3 D-OXIS) traten die Oxidrandversetzungen in weitaus

geringerer Häufigkeit und Dichte auf. Als häufigste Versetzungsquellen bei Scheiben mit Epitaxieschicht wurden Versetzungen in Gleitbereichen der Scheibe und die Mikrodefekte in den Schleierbereichen ermittelt. Die Oxidrandversetzungen laufen oft bis in den Emitterbereich der Transistoren und verursachen pipes. Dabei ergab sich ein klarer Anstieg des Emitter-Kollektor-Sperrstromes mit zunehmender Anzahl von Versetzungen in der Emitterfläche. Stapelfehler spielten bei der OXIS-Technologie als pipe-Ursache eine völlig untergeordnete Rolle. Bei der SBC-Technologie traten in der Anfangszeit der Untersuchungen massive Gleitbereiche mit hohen Versetzungsdichten auf, die sich über große Bereiche der Scheiben erstrecken konnten. Zwischen diesen Versetzungen und Emitter-Kollektor-Kurzschlüssen bzw. Prasselausfällen der Schaltkreise wurde ein klarer Zusammenhang gefunden. Bei diesen Schaltkreisen wurden manchmal in den Emittern und den darunterliegenden Basis- und Kollektorbereichen der Transistoren, die pipe-Ausfälle zeigten, komplizierte helixartige Versetzungsstrukturen gefunden. Die eingehende Untersuchung dieser Versetzungsstrukturen erbrachte Beweise dafür, daß für den Mechanismus der Phosphordiffusion Siliziumzwischengitteratome eine wichtige Rolle spielen. Bisher wird für die Phosphordiffusion ein Leerstellenmechanismus postuliert.

Stapelfehler verursachten bei den Schaltkreisen in SBC-Technologie nur selten Ausfälle, da sie in den aktiven Transistorbereichen kaum in Erscheinung traten.

Bei der n-Kanal-silicon-gate-MOS-Technologie waren hauptsächlich große Stapelfehler und in geringerem Ausmaß Versetzungen für hohe Leckströme bzw. geringe Speicherzeiten von Dioden- bzw. MOS-Kondensatorstrukturen und Refreshausfälle eines dynamischen 4096 bit-Speichers verantwortlich.

Die Auswirkung der Kristallfehler auf die diskutierten elektrischen Parameter wird durch angelagerte metallische Verunreinigungen wie Cu, Fe usw. erheblich verstärkt. Dies gilt sowohl für die Leckströme bei MOS-Strukturen als auch für die Emitter-Kollektor-Sperrströme von bipolaren Transistoren. Bei Transistoren mit kleinen Basisweiten ($< 0,3 \mu\text{m}$) führen wir jedoch auch einen größeren Anteil der Emitter-Kollektor-Kurzschlüsse auf beschleunigte Diffusion von Dotieratomen entlang von Versetzungen ("pipe-Diffusion") zurück. Dies schließen wir aus der Analyse der Transistorkennlinien und aus der Tatsache, daß in solchen Fällen an den Versetzungen im TEM keinerlei Dekoration nachweisbar war.

Die Entstehung der Kristallfehler war bei den untersuchten Technologien auf teilweise unterschiedliche Prozesse bzw. Ursachen zurückzuführen. Bei der ASBC-Technologie war der Epitaxieprozeß sowohl die Hauptquelle für Gleitlinien als auch für Stapelfehler. Dabei über Metallpinzetten eingeschleppte Verunreinigungen verursachten auch die sog. Schleierdefekte, die als Keime für Stapelfehler bei nachfolgenden Prozeßschritten fungierten. Die kleinen Stapelfehler mit den gefährlichen Segelbootformen entstanden beim Basisdiffusionsprozeß. Bei der OXIS-Technologie erwies sich die Isolationsoxidation als sehr kritischer Prozeßschritt, weil dabei die schädlichen Oxidrandversetzungen entstanden. Bei der SBC-Technologie bildeten sich bereits bei den ersten Hochtemperaturprozessen (buried layer-Diffusion, Epitaxie) ausgedehnte Gleitbereiche, die sich im Laufe der nachfolgenden Prozeßschritte noch verstärkten. Die komplizierten helixartigen Versetzungsstrukturen entstanden erst bei der Emitter-Phosphor-Diffusion. Bei der n-Kanal-silicon-gate-MOS-Technologie wurden die schädlichen großen Stapelfehler während der Dickoxidation erzeugt.

Da Versetzungen und Stapelfehler verschiedene Entstehungsursachen haben, wurden zu ihrer Vermeidung meist unterschiedliche Maßnahmen getroffen. Versetzungen aufgrund von Randgleitung infolge zu großer Temperaturgradienten bei Ofenprozessen lassen sich durch geeignete Temperaturprogramme, z.B. "ramping", beim Ein- und Ausfahren der Scheiben in den Ofen vermeiden. Durch Verwendung eines strahlungsbeheizten Epitaxiereaktors kann man die Gleitlinien bei der Epitaxie drastisch reduzieren. Allgemein lassen sich durch niedrigere Prozeßtemperaturen erheblich geringere Versetzungsdichten erzielen. Stapelfehler können durch Variation der Prozeßparameter und Getterverfahren vermieden werden. Beim Epitaxieprozeß konnten wir durch Anwendung einer HCl-Ätzung und Scheibenhandhabung ohne Metallpinzetten die Epitaxie-Stapelfehlerkonzentration stark verringern bzw. die gefährlichen Schleierdefekte völlig vermeiden. Die oxidationsinduzierten Stapelfehler konnten durch Absenken der Oxidationstemperaturen ($< 1000^{\circ}\text{C}$) bei der MOS-Technologie beträchtlich reduziert werden. Bei den Getterverfahren wurden mit einer Phosphorrückseiten-Getterschicht die besten Ergebnisse erzielt. Bei MOS-Schaltkreisen konnten damit die Stapelfehler praktisch vollständig eliminiert werden. Gleichzeitig wurden sehr niedrige Leckströme bzw. sehr große Speicherzeiten erhalten.

Mit Hilfe der beschriebenen Untersuchungen und der daraus abgeleiteten Maßnahmen konnten die Ausbeuten bei den diskutierten Schaltkreistechnologien erheblich gesteigert werden.

Anhang

Kristallfehlerätzung

Für (111)-orientiertes Silizium verwenden wir nach SIRTIL und ADLER /18/ eine Mischung von gleichen Volumenteilen Flußsäure (48 %ig) und Chromsäure (250 g CrO_3 + 750 g H_2O). Die Chromsäurelösung wird vor Gebrauch durch Teflonfilter filtriert. Das Ätzgut kommt zuerst mit Flußsäure in Berührung, die Chromsäure wird unter Bewegung des Ätzgefäßes hinzugefügt. Die Ätzdauer liegt je nach Problemstellung zwischen 15 Sekunden und 10 Minuten. Die Ätzung erfolgt bei Raumtemperatur.

Bei (100)-orientiertem Silizium wird die Ätzlösung modifiziert, d.h. die Chromsäurekonzentration verringert. Wir verwenden eine Mischung von 2 Volumenteilen Flußsäure (48 %ig) und 1 Volumenteil Chromsäure (3 %ig).

Dem Direktor des Max-Planck-Institutes für Metallforschung, Institut für Physik, Stuttgart, Herrn Prof. Dr. A. Seeger und Herrn Dr. M. Wilkens sowie deren Mitarbeitern sind wir für die Bereitschaft zur Zusammenarbeit und die wertvollen Beiträge bei experimentellen und theoretischen Fragestellungen dieses Vorhabens zu ganz besonderem Dank verpflichtet.

Herrn Dr. W. Hartmann vom MPI für Festkörperforschung, Stuttgart, danken wir für die apparative Unterstützung bei einigen röntgentopographischen Untersuchungen.

Herrn E. Haas und Mitarbeitern von der Abteilung R 451 der Kraftwerk-Union Erlangen danken wir für die Durchführung der umfangreichen radiochemischen Analysen.

Unser besonderer Dank gebührt auch Herrn Dr. H. Murrmann, Siemens AG, Unternehmensbereich Bauelemente, Werk für Integrierte Schaltungen, und seinen Mitarbeitern, den Herren Dr. D. Kranzer, R. Lemme und Dr. U. Schwabe für die intensive Zusammenarbeit und viele hilfreiche Diskussionen. Unser Dank gilt auch den Herren M. Arlt, H. Brunner, Dr. G. von Häfen, Dr. A. Ludsteck, D. Mehlfeld, Dr. M. Weidlich und vielen anderen Mitarbeitern der Siemens AG, Unternehmensbereich Bauelemente, für die stete Hilfsbereitschaft und wertvolle Diskussionen. Herrn D. Kantz, Unternehmensbereich Bauelemente, und Herrn W. Naßwetter, Unternehmensbereich Daten- und Informationssysteme, sind wir für die Refreshmessungen bei den MOS-Speichern zu Dank verpflichtet.

Unser ganz besonderer Dank gilt Herrn Dr. J. Burtscher, dem früheren Leiter unserer Abteilung Grundlagenentwicklung Halbleitermaterial-Physik, der diese Arbeiten initiiert und viele wertvolle Anregungen gegeben hat.

Unseren Mitarbeitern Fr. L. Bernewitz, H.D. Doebbelin, H.W. Kiffe, H.W. Kretzig, Fr. F. Kuhn, Fr. H. Mylonas, H.F. Riedl, H.A. Steidel, H.J. Stengl, H.H. Thomas, H.E. Weger und Fr. E. Wolf danken wir für die Unterstützung bei diesem Projekt.

Literaturverzeichnis

- /1/ H.Murrmann und D. Kranzer, Siemens Forsch.- u. Entwickl.Ber., im Druck
- /2/ W.T. Read "Dislocations in Crystals", Wiley, New York 1953
- /3/ H.G. van Bueren "Imperfections in Crystals" North-Holland Publishing Company, Amsterdam, 1960
- /4/ A.G. Chynoweth und G.L. Pearson, J. Appl. Phys. 29, 1103 (1958)
- /5/ A. Goetzberger und W. Shockley, J. Appl. Phys. 31, 1821 (1960)
- /6/ H.J. Queisser und A. Goetzberger, Phil. Mag. 8, 1063 (1963)
- /7/ R.M. Finch, H.J. Queisser, G. Thomas und J. Washburn, J. Appl. Phys. 34, 406 (1963)
- /8/ J.M. Fairfield und G.H. Schwuttke, J. Electrochem. Soc. 113, 1229 (1966)
- /9/ G.H. Schwuttke, Microelectronics and Rel. 9, 397 (1970)
- /10/ G.H. Schwuttke, K. Brack und E.W. Hearn, Microelectronics and Rel. 10, 467 (1971)
- /11/ F. Barson, M.S. Hess und M.M. Roy, J. Electrochem. Soc. 116, 304 (1969)
- /12/ P.C. Parekh, Solid State Electronics 14, 273 (1971)
- /13/ K.V. Ravi, C.J. Varker und C.E. Volk, J. Electrochem. Soc. 120, 533 (1973)
- /14/ K.V. Ravi und C.J. Varker, J. Appl. Phys. 45, 263 (1974)
- /15/ J. E. Lawrence in "Semiconductor Silicon 1973", H.R. Huff und R. Burgess Editors, The Electrochem. Soc. Softbound Symp. Series, Princeton, N. J. 1973, S. 17

- /16/ M.V. Kulkarni, J.C. Hasson und G.A.A. James,
IEEE Trans. Electron. Devices, ED - 16, 394 (1969)
- /17/ S.M. Hu, J. Electrochem. Soc. 124, 578 (1977)
- /18/ E. Sirtl und A. Adler, Z. Metallkunde 52, 529 (1961)
- /19/ F. Secco d'Aragona, J. Electrochem. Soc. 119,
948 (1972)
- /20/ L. Bernewitz und K.R. Mayer, Phys. Stat. Sol. (a)
16, 579 (1973)
- /21/ H. Grienauer und K.R. Mayer, Siemens-Z. 60, 116
(1976)
- /22/ A.R. Lang, J. Appl. Phys. 29, 597 (1958)
- /23/ C.S. Barrett und T. Massalski, "Structure of Metals"
Mc Graw Hill Book Comp., New York, 1966
- /24/ P.B. Hirsch, A. Howie, R.B. Nicholson, D.W. Pashley
und M.J. Whelan, "Electron Microscopy of Thin
Crystals" Butterworths, London 1965
- /25/ H. Föll und B.O. Kolbesen in "Semiconductor Silicon
1977", H.R. Huff und E. Sirtl Editors, The Electro-
chem. Soc. Softbound Symp. Series, Princeton,
N.J., 1977, S. 740
- /26/ B.O. Kolbesen, K.R. Mayer und G.E. Schuh,
J. Phys. E (Scientific Instrum.) 8, 197 (1975)
- /27/ G.R. Booker und R. Stickler, Brit. J. Appl. Phys.
13, 446 (1962)
- /28/ J.A. Martin, E. Haas und G. Fischer, Z. Anal.
Chem. 265, 122 (1973)
- /29/ H. Murrmann, Siemens Forsch.- u. Entwickl. Ber. 5,
353 (1976)

- /30/ H. Ullrich, Naturwiss. 59, 99 (1972)
- /31/ U. Bürker und H. Ullrich, Siemens Forsch.- u. Entwickl. Ber. 4, 238 (1975)
- /32/ U. Schwabe, R. Rathbone und H. Murrmann, Electrochem. Soc. Meeting, Toronto, Abstr. 181, 426 (1974)
- /33/ U. Bürker und P. Rydval, Siemens-Z. 49, 160 (1975)
- /34/ H. Ernst, H. Glock, R. Rathbone, U. Schwabe und U. Bürker, Siemens Forsch.- u. Entwickl. Ber. 6, 86 (1977)
- /35/ U. Bürker und H. Glock, ISSC Philadelphia 1979
- /36/ H. Heißing und R. Mitterer, Siemens Forsch.- u. Entwickl. Ber. 4, 197 (1975)
- /37/ H. Mitlehner, M. Schnöller und P. Voß, BMFT Forschungsbericht 403 - 7291 - NT 614, Juni 1978
- /38/ A.J.R. de Kock, Philips Res. Rept. Suppl. No. 1 (1973)
- /39/ H. Föll, U. Gösele und B.O. Kolbesen, J. Crystal Growth 40, 90 (1977)
- /40/ H. Murrmann, Siemens AG, München, interner Bericht
- /41/ B.O. Kolbesen und H. Strunk, Proc. Fifth Int. Conf. High-Voltage Electron Microscopy Kyoto 1977, T. Imura, H. Hashimoto Editors, Jap. Soc. Electron Microscopy, S. 637
- /42/ S. Mader, 20th Annual Electronic Materials Conf., Santa Barbara, Calif. (1978), Abstract No. 6
- /43/ S.M. Hu, J.Appl.Phys. 46, 1465 (1975)
- /44/ S.M. Hu, S.P. Klepner, R.O. Schwenker und D.K. Seto, J. Appl. Phys. 47, 4098 (1976)
- /45/ D. Kranzer, R. Lemme, B.O. Kolbesen, K.R. Mayer und H. Strunk, Rev. Phys. Appl. 13, 803 (1978)

- /46/ J.H. van der Merwe in "Single Crystal Films"
Pergamon Press, Oxford 1964, S. 139
- /47/ H. Strunk, U. Gösele und B.O. Kolbesen, Appl.
Phys. Letts., 34, 529 (1979)
- /48/ A. Seeger, W. Frank und U. Gösele, Int. Conf.
Lattice Defects in Semiconductors, Nizza 1978
- /49/ R.B. Fair und J.C.C. Tsai, J. Electrochem.
Soc. 124, 1107 (1977)
- /50/ H. Strack, K.R. Mayer und B.O. Kolbesen, Solid
State Electron. 22, 135 (1979)
- /51/ J. Bloem und A.H. Goemans, J. Appl. Phys. 43,
1281 (1972)
- /52/ J.R. Patel in "Semiconductor Silicon 1977",
H.R. Huff und E. Sirtl Editors, The Electrochem.
Soc. Softbound Symp. Series, Princeton, N.J. 1977,
S. 521
- /53/ C.W. Pearce und G.A. Rozgonyi, *ibid.* S. 606
- /54/ J.T. Yue und H.J. Ruiz, *ibid.* S. 596
- /55/ K. Graff, J. Hilgarth und H. Neubrand, *ibid.* S. 575
- /56/ B.O. Kolbesen und A. Mühlbauer, eingereicht bei
Solid State Technology
- /57/ M. Tamura und H. Sunami, Jap. J. Appl. Phys. 11,
1097 (1972)
- /58/ H. Mikoshiba, J. Electrochem. Soc. 123, 1539 (1976)
- /59/ A.E. Cosand und S. Prussin, Extended Abstracts,
Electrochem. Soc. Meeting, Washington D.C., 1976,
S. 292
- /60/ I. Magdo und A. Bohg, J. Electrochem. Soc. 125,
932 (1978)
- /61/ H. Strunk, W. Hagen und B.O. Kolbesen, J. de
Physique, im Druck

- /62/ A.G. Cullis und L.E. Katz, Phil. Mag. 30, 1419 (1974)
- /63/ C.W. Pearce und G.R. Mc Mahon, J. Vac. Sci. Technol. 14, 40 (1977)
- /64/ E. Kasper und H. Clauss, Wiss. Ber. AEG-Telefunken 48, 183 (1975)
- /65/ S.M. Hu, J. Appl. Phys. 40, 4104 (1969)
- /66/ S.M. Hu, Appl. Phys. Lett. 22, 261 (1973)
- /67/ J.E. Lawrence, J. Electrochem. Soc. 113, 819 (1966)
- /68/ K.V. Ravi, Thin Solid Films 31, 171 (1976)
- /69/ S.M. Hu, J. Appl. Phys. 45, 1567 (1974)
- /70/ S.M. Hu, J. Vac. Sci. Technol. 14, 17 (1977)
- /71/ S.M. Hu, Appl. Phys. Lett. 27, 165 (1975)
- /72/ H. Shiraki in "Semiconductor Silicon 1977",
H.R. Huff und R. Sirtl Editors, The Electrochem.
Soc. Softbound Symp. Ser., Princeton, N.J. 1977,
S. 546
- /73/ C.L. Claeys, E.E. Laes, G.J. Declerck, R.J. van
Overstraten und K.V. Leuven, ibid. S. 773
- /74/ F. Barson, IEEE Sol. State Circuits 11, 505 (1976)
- /75/ G.A. Rozgonyi, P.M. Petroff und H.M. Read, J.
Electrochem. Soc. 122, 1725 (1975)
- /76/ P.M. Petroff, G.A. Rozgonyi und T.T. Sheng,
J. Electrochem. Soc. 123, 565 (1976)
- /77/ T.E. Seidel, R.L. Meek und A.G. Cullis, J. Appl.
Phys. 46, 600 (1976)
- /78/ R.B. Herring, Sol. State Technol. 19, 37 (1976)
- /79/ G.H. Schwuttke, K. Yang und H. Kappert, Phys.
Stat. Sol. (a) 42, 553 (1977)

- /80/ J. Burtscher, B.O. Kolbesen, K.R. Mayer und
H. Strack, Patent Nr. 77 P 1123 BRD
- /81/ H.R. Huff und T.L. Chiu, Electrochem. Soc. Meeting,
Seattle, 1978, Abstract 28 RNP
- /82/ H. v. Witsch, W. Käab, U. Bürker und H. Murrmann,
Siemens AG, München, unveröffentlicht
- /83/ H. Murrmann, Siemens AG, München, unveröffentlicht
- /84/ E. Haas, H. Glawischnig, G. Lichti und A. Bleier,
J. Electronic Mat. 7, 525 (1978)
- /85/ R.L. Meek, T.E. Seidel und A.G. Cullis,
J. Electrochem. Soc. 122, 786 (1975)
- /86/ H. Strack, nachrichten elektronik 11, 373 (1978).